

S11 1 PN="60-012765"  
?t 11/5/1

11/5/1  
DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

01534265 \*\*Image available\*\*  
PHOTOELECTRIC CONVERSION DEVICE

PUB. NO.: 60-012765 [JP 60012765 A]  
PUBLISHED: January 23, 1985 (19850123)  
INVENTOR(s): OMI TADAHIRO  
TANAKA NOBUYOSHI  
APPLICANT(s): OMI TADAHIRO [000000] (An Individual), JP (Japan)  
APPL. NO.: 58-120757 [JP 83120757]  
FILED: July 02, 1983 (19830702)  
INTL CLASS: [4] H01L-027/14; H01L-029/76; H04N-005/335  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.6  
(COMMUNICATION -- Television)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
CCD & BBD)  
JOURNAL: Section: E, Section No. 318, Vol. 09, No. 126, Pg. 26, May  
31, 1985 (19850531)

#### ABSTRACT

PURPOSE: To obtain the titled device of high resolution by a method wherein a read-out transistor consisting of a main electrode region and a control electrode region provided in a single crystal island region and a photo receiving transistor of the same structure made of amorphous Si are superposed on each other, and the control electrodes thereof are both put in floating state.

CONSTITUTION: An n(sup -) type layer 5 is epitaxially grown on all amorphous Si layer 1 having a collector electrode 12 on the back surface and then isolated into island form by means of an SiO(sub 2) film 4. Next, a p type base region 6 is formed there, an n(sup +) type emitter region 7 put in floating state being provided therein. The entire surface is covered with an SiO(sub 2) film 3, and a wiring 8 contacting the region 7 is adhered by opening a window. Thereafter, an SiO(sub 2) film 2 is adhered over the entire surface, apertures being bored in the films 2 and 3, and a p(sup +) type region 401 contacting the region 6 being then buried; thereby constructing the read-out transistor. An n type substrate 403 likewise of island form but single crystal Si which constitutes the photo receiving transistor is made to abut against the upper part thereof via high resistant region 402, where an element region of nearly the same structure is formed.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—12765

⑬ Int. Cl.<sup>4</sup>  
H 01 L 27/14  
29/76  
H 04 N 5/335

識別記号

庁内整理番号  
6732—5F  
6851—5F  
6940—5C

⑭ 公開 昭和60年(1985)1月23日

発明の数 1  
審査請求 未請求

(全 49 頁)

⑯ 光電変換装置

⑰ 発明者 田中信義

東京都世田谷区松原2の15の13

⑱ 特 願 昭58—120757

⑲ 出 願 人 大見忠弘

⑳ 出 願 昭58(1983)7月2日

仙台市米ヶ袋2—1—17—301

㉑ 発 明 者 大見忠弘

㉒ 代 理 人 弁理士 山下穰平

仙台市米ヶ袋2—1—17—301

明 細 書

1 発明の名称

光電変換装置

2 特許請求の範囲

1 絶縁分離領域に囲まれた単結晶領域に、2個の側面電極主電極領域と前記側面電極とは反対の反対側電極制御電極領域よりなる読出し用トランジスタと、前記読出し用トランジスタ上にアモルファスで形成され、前記反対側電極領域よりなる2個の主電極領域と前記側面電極制御電極領域よりなる受光用トランジスタとが設けられた構造において、前記受光用トランジスタのマイナス主電極領域が、前記読出し用トランジスタの前記側面電極領域に直接接続されるようになし、かつ、前記2個のトランジスタの側面電極領域は浮遊状態になされ、かつ電位制御するために前記2個のトランジスタの側面電極領域上の少なくとも一部にMOSキャパシタが設けられたことを特徴とする光電変換装置。

3 発明の詳細な説明

本発明は光電変換装置に関する。

近年光電変換装置として、固体撮像装置に関する研究が、半導体技術の進展と共に積極的に行なわれ、一部では実用化され始めている。

これらの固体撮像装置は、大きく分けるとCCD型とMOS型の2つに分類される。CCD型撮像装置は、MOSキャパシタ電極下にポテンシャルの井戸を形成し、光の入射により発生した電荷をこの井戸に蓄積し、読出し時には、これらのポテンシャルの井戸を、電極にかかるパルスにより順次動かして、蓄積された電荷を出力アンプ部まで伝送して読出すという原理を用いている。またCCD型撮像装置の中には、受光部はpn接合ダイオード構造を使い、伝送部はCCD構造で行なうというタイプのものもある。また一方、MOS型撮像装置は、受光部を構成するpn接合よりなるフォトリソダイオードの両側に光の入射により発生した電荷を蓄積し、読出し時には、それぞれのフォトリソダイオードに接続されたMOSスイッチン

ゲトランジスタを順次オンすることにより蓄積された電荷を出力アンプ部に送出するという原理を用いている。

CCD型撮像装置は、比較的簡単な構造をもち、また、発生し得る雑音からみても、最終段におけるフローティング・ディフュージョンよりなる電荷搬出部の寄生値だけがランダム雑音に寄与するので、比較的低雑音の撮像装置であり、低照度撮影が可能である。ただし、CCD型撮像装置を作るプロセス的制約から、出力アンプとしてMOS型アンプがオンチップ化されるため、シリコンと、SiO<sub>2</sub>と、酸との界面から画像上、目につきやすい1/f雑音が発生する。従って、低雑音とはいいながら、その性能に限界が存在している。また、高解像度化を図るためにセル数を増加させて高密度化すると、一つのポテンシャル井戸に蓄積できる最大の電荷量が減少し、ダイナミックレンジがとれなくなるので、今後、固体撮像装置が高解像度化されていく上で大きな問題となる。また、CCD型の撮像装置は、ポテンシャルの井戸

を順次動かしながら蓄積電荷を転送していくわけであるから、セルの一つに欠陥が存在してもそこで電荷転送がストップしたり、あるいは、極端に悪くなってしまい、製造歩留りが上がらないという欠点も有している。

これに対してMOS型撮像装置は、構造的にはCCD型撮像装置、特にフレーム転送型の装置に比較して少し複雑ではあるが、蓄積容量を大きくし得る様に構成でき、ダイナミックレンジを広くとれるという優位性をもつ。また、たとえセルの一つに欠陥が存在しても、X-Yアドレス方式のためその欠陥による他のセルへの影響がなく、製造歩留りの点には有利である。しかしながら、このMOS型撮像装置では、信号読出し時にキャパシタダイオードに配線容量が接続されるため、きわめて大きな信号電圧ドロップが発生し、出力電圧が下がってしまうこと、配線容量が大きく、これによるランダム雑音の発生が大きいこと、またキャパシタダイオードおよび水平スキャン用のMOSスイッチングトランジスタの寄生容量のばらつき

による固定パターン雑音の混入等があり、CCD型撮像装置に比較して低照度撮影はむずかしいこと等の欠点を有している。

また、将来の撮像装置の高解像度化においては各セルのサイズが縮小され、蓄積電荷が減少していく。これに対しチップサイズから決まってくる配線容量は、たとえ線幅を細くしてもあまり下がらない。このため、MOS型撮像装置は、ますますS/N的に不利になる。

CCD型およびMOS型撮像装置は、以上の様な一長一短を有しながらも次第に実用化レベルに近づいてきている。しかし、さらに将来必要とされる高解像度化を進めていくうえで本質的に大きな問題を有しているといえる。

それらの固体撮像装置に関し、特開昭58-15087「半導体撮像装置」、特開昭58-157073「半導体撮像装置」、特開昭58-185473「半導体撮像装置」に新しい方式が提案されている。CCD型、MOS型の撮像装置が、光入射により発生した電荷を主電極（例えばMOSトランジスタのソー

ス）に蓄積するのに対して、ここで提案されている方式は、光入射により発生した電荷を、制御電極（例えばバイポーラ・トランジスタのベース、SIT（静電誘導トランジスタ）あるいはMOSトランジスタのゲート）に蓄積し、光により発生した電荷により、流れる電流をコントロールするという新しい考え方にもとづくものである。すなわち、CCD型、MOS型が、蓄積された電荷そのものを外部へ送出してくるのに対して、ここで提案されている方式は、各セルの増幅機能により電荷増幅してから蓄積された電荷を送出すわけであり、また見方を変えたとインピーダンス変換により低インピーダンス出力として送出すわけである。従って、ここで提案されている方式は、高出力、広ダイナミックレンジ、低雑音であり、かつ、光信号により動起されたキャリア（電荷）は制御電極に蓄積することから、非線形読出しができる等のいくつかのメリットを有している。さらに将来の高解像度化に対しても可能性を有する方式であるといえる。

しかしながら、この方式は、基本的にX-Yアドレス方式であり、上記公報に記載されている素子構造は、従来のMOS異相電極型の素セルにバイポーラトランジスタ、SITトランジスタ等の増幅素子を複合化したものを基本構成としている。そのため、比較的複雑な構造をしており、高解像度の可能性を有しながらも、そのままでは高解像化には限界が存在する。

本発明は、素セルに増幅機能を有するもきわめて簡単な構造であり、将来の高解像度化にも十分対応しうる新しい光電変換装置を提供することを目的とする。

かかる目的は、絶縁分極領域に囲まれた単結晶領域に、2個の同極電極主電極領域と前記逆電型とは反対の反対型電極制御電極領域よりなる読出し用トランジスタと、前記読出し用トランジスタ上にアモルファスで形成され、前記反対型電極領域よりなる2個の主電極領域と前記同極電極制御電極領域よりなる受光用トランジスタとが設けられた構造において、前記受光用トランジスタのマ

イナス主電極領域が、前記読出し用トランジスタの前記制御電極領域に直接接続されるようになり、かつ、前記2個のトランジスタの制御電極領域は浮遊状態になされ、かつ電位制御するために前記2個のトランジスタの制御電極領域上の少なくとも一部にMOSキャパシタが設けられたことを特徴とする光電変換装置により達成される。

以下に本発明の実施例を図面を用いて詳細に説明する。

第1図は、本発明の一実施例に係る光電変換装置を構成する光センサセルの基本構造および動作を説明する図である。

第1図(a)は、光センサセルの平面図を、第1図(b)は、第1図(a)平面図のAA'部分の断面図を、第1図(c)は、その等価回路をそれぞれ示す。なお、各図において第1図(a),(b),(c)に共通するものについては同一の番号をつけている。

第1図では、並列配置方式の平面図を示したが、水平方向解像度を高くするために、縦書き方式(補間配置方式)にも配置できることはもちろんのことである。

この光センサセルは、第1図(a),(b)に示すごとく、

リン(P)、アンチモン(Sb)、ヒ素(As)等の不純物をドーピングしてn型又はn<sup>+</sup>型とされたシリコン基板1の上に、通常PSG膜等で構成され

るパシベーション膜2;

シリコン酸化膜(SiO<sub>2</sub>)より成る絶縁酸化膜3;

となり合う光センサセルとの間を電気的に絶縁するためのSiO<sub>2</sub>、あるいはSi<sub>3</sub>N<sub>4</sub>等よりなる絶縁膜又はポリシリコン膜等で構成される素子分離領域4;

エビタキシャル技術等で形成される不純物濃度の低いn<sup>-</sup>領域5;

その上の例えば不純物拡散技術又はイオン注入技術を用いてボロン(B)等の不純物をドーピングしたバイポーラトランジスタのベースとなるp領域6;

不純物拡散技術、イオン注入技術等で形成されるバイポーラトランジスタのエミッタとなるn<sup>+</sup>領域7;

信号を外へ読出すための、例えばアルミニウム(Al)、Al-Si、Al-Cu-Si等の導電材料で形成される配線8;

絶縁膜3を通して、浮遊状態になされたp領域

6. 不純物濃度の小さい $n^+$ 領域5、コレクタとしての $n$ 又は $n^+$ 領域1の各部分より構成されている。これらの図面から明らかなように、 $p$ 領域6は浮遊領域になされている。

第1図(c)の第2の等価回路は、バイポーラトランジスタ14をベース・エミッタの接合容量 $C_{be15}$ 、ベース・エミッタの $p-n$ 接合ダイオード $D_{be16}$ 、ベース・コレクタの接合容量 $C_{bc17}$ 、ベース・コレクタの $p-n$ 接合ダイオード $D_{bc18}$ を用いて表現したものである。

以下、光センサセルの基本動作を第1図を用いて説明する。

この光センサセルの基本動作は、光入射による電荷蓄積動作、読み出し動作およびリフレッシュ動作より構成される。電荷蓄積動作においては、例えばエミッタは、配線8を通して接地され、コレクターは配線12を通して正電位にバイアスされている。またベースは、あらかじめコンデンサ $C_{cs13}$ に、配線10を通して正のパルス電圧を印加することにより負電位、すなわち、エミッタ

距離は $0.15 \sim 0.2 \mu m$ 程度である。したがって $n^+$ 領域7内で光動起されたホールを有効に $n$ 領域6に捉し込むには、 $n^+$ 領域7も光入射面から内部に向かって不純物濃度が減少する構造にしていることが望ましい。 $n^+$ 領域7の不純物分布が上記の様になっていれば、光入射面から内部に向う強いドリフト電界が発生して、 $n$ 領域7に光動起されたホールはドリフトによごちに $p$ 領域6に捉れ込む。 $n^+$ 領域7、 $p$ 領域6の不純物濃度がいずれも光入射面表面から内へ向って減少するように構成されていれば、 $n$ セルの光入射面表面側に存在する $n^+$ 領域9、領域6において光動起されたキャリアはすばやく信号として有効に働くのである。 $As$ 又は $P$ 2度にドーブしたシリコン酸化膜あるいはポリシリコン膜からの不純物拡散により、この $n^+$ 層を形成すると、上記に述べたような望ましい物性をもつ $n^+$ 領域を得ることが可能で

る。目的には、ホールの蓄積によりベース電位は

領域中に光動起された電子が再結合することなく $p$ 領域6からただちに流れ出て、 $n$ 領域に吸収されるような構造にしておけば、 $p$ 領域6で動起されたホールはそのまま蓄積されて、 $p$ 領域6を正電位方向に変化させる。 $p$ 領域6の不純物濃度が均一になされている場合には、光で動起された電子は拡散で、 $p$ 領域6と $n^+$ 領域5との $p-n$ 接合層まで流れ、その後は $n^+$ 領域5に加わっている強い電界によるドリフトで $n$ コレクタ領域1に吸収される。もちろん、 $p$ 領域6内の電子の走行を拡散だけで行なってもよいわけであるが、表面から内部に行くほど $p$ ベースの不純物濃度が減少するように構成しておけば、この不純物濃度差により、ベース内に内部から表面に向う電界 $E_d$ 、

$$E_d = \frac{1}{W_6} \cdot \frac{k}{q} \cdot T \cdot \ln \frac{N_{As}}{N_{Al}}$$

が発生する。ここで、 $W_6$ は $p$ 領域6の光入射面表面からの厚さ、 $k$ はボルツマン定数、 $T$ は絶対温度、 $q$ は単位電荷、 $N_{As}$ は $p$ ベース領域6の表面不純物濃度、 $N_{Al}$ は $p$ 領域6の $n^+$ 高抵抗領域

る。再結合損失を起こし感度に寄与しない"layer" (不感領域)の厚さ $[\mu m]$ 、 $y$ 層の厚さ $[\mu m]$ 、 $T$ は透過率すなわち、てくる光線に対して反射等を考慮して有効体中に入射する光線の割合をそれぞれ示し、この光センサセルの分光感度 $S(\lambda)$ お射照度 $E_e(\lambda)$ を用いて光電流 $I_p$ は次算される。

$$I_p = \int_0^\infty S(\lambda) \cdot E_e(\lambda) \cdot d\lambda \quad [\mu A/cm^2]$$

射照度 $E_e(\lambda)$   $[\mu W \cdot cm^{-2} \cdot nm^{-1}]$ は与えられる。

$$\lambda) = \frac{E_v \cdot P(\lambda)}{6.80 \int_0^\infty V(\lambda) P(\lambda) \cdot d\lambda} \quad [\mu W \cdot cm^{-2} \cdot nm^{-1}]$$

$E_v$ はセンサの受光面の照度 $[Lux]$ 、

はセンサの受光面に入射している光の分光 $V(\lambda)$ は人間の目の比視感度である。

らの式を用いると、エビ厚の層 $4 \mu m$ をもつセンサセルでは、 $A$ 光線( $2854^\circ K$ )で、センサ受光面照度が $1 [Lux]$ のとき、

約  $280 \text{ nA/cm}^2$  の光電流が流れ、入射してくるフォトン数あるいは発生する電子・ホール対の数は  $1.8 \times 10^{12} \text{ ケ/cm}^2 \cdot \text{sec}$  程度である。

又、この時、光により励起されたホールがベースに蓄積することにより発生する電位  $V_p$  は  $V_p = Q/C$  で与えられる。Qは蓄積されるホールの電荷量であり、Cは  $C_{be15}$  と  $C_{bc17}$  を加算した接合容量である。

いま、 $n^+$  領域7の不純物濃度を  $10^{19} \text{ cm}^{-3}$ 、 $p$  領域6の不純物濃度を  $5 \times 10^{18} \text{ cm}^{-3}$ 、 $n^-$  領域5の不純物濃度を  $10 \text{ cm}^{-12}$ 、 $n^+$  領域7の面積を  $15 \mu\text{m}^2$ 、 $p$  領域6の面積を  $64 \mu\text{m}^2$ 、 $n^-$  領域5の厚さを  $3 \mu\text{m}$  にしたときの接合容量は、約  $0.014 \text{ pF}$  位になり、一方、 $p$  領域6に蓄積されるホールの個数は、蓄積時間  $1/60 \text{ sec}$ 、有効受光面積、すなわち  $p$  領域6の面積から電極8および9の面積を引いた面積を  $58 \mu\text{m}^2$  程度とすると、 $1.7 \times 10^{10}$  ケとなる。従って光入射により発生する電位  $V_p$  は  $180 \text{ mV}$  位になる。

転送量の大きさにより制限され、どんどん低下していつてしまうのに対し、本発明における光センサセルでは、先にも書いた様に、最初に  $p$  領域6を負電位にバイアスした時のバイアス電圧により飽和電圧は決まるわけであり、大きな飽和電圧を確保することができる。

以上の様にして  $p$  領域6に蓄積された電荷により発生した電圧を外部へ読出す動作について次に説明する。

読出し動作状態では、エミッタ、配線8は浮遊状態に、コレクターは正電位  $V_{cc}$  に保持される。第2図に等価回路を示す。今、光を照射する前に、ベース6を負電位にバイアスした時の電位を  $-V_0$  とし、光照射により発生した蓄積電圧を  $V_p$  とすると、ベース電位は、 $-V_0 + V_p$  なる電位になっている。この状態で配線10を通して電極9に読出し用の正の電圧  $V_0$  を印加すると、この正の電位  $V_0$  は酸化層容量  $C_{ox13}$  とベース・エミッタ間接合容量  $C_{be15}$ 、ベース・コレクタ間接合容量  $C_{bc17}$  により電圧分圧され、ベースに

ここで注目すべきことは、高解像度化され、セルサイズが縮小化されていった時に、一つの光センサセルあたりに入射する光量が増加し、蓄積電荷量Qが共に減少していくが、セルの縮小化に伴う接合容量もセルサイズに比例して減少していくので、光入射により発生する電位  $V_p$  はほぼ一定にたもたれるということである。これは本発明における光センサセルが第1図に示すごとく、きわめて簡単な構造をしており有効受光面がきわめて大きくとれる可能性を有しているからである。

インターラインタイプのCCDの場合と比較して本発明における光電変換装置が有利な理由の一つはここにあり、高解像度化にともない、インターラインタイプのCCD型撮像装置では、転送する電荷量を確保しようとする転送部の面積が相対的に大きくなり、このため有効受光面が減少するので、感度、すなわち光入射による発生電圧が減少してしまうことになる。また、インターラインタイプのCCD型撮像装置では、飽和電圧が

は電圧

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0$$

が加算される。従ってベース電位は

$$-V_0 + V_p + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0$$

となる。ここで、

$$-V_0 + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0 = 0$$

となる条件が成立するようにしておくと、ベース電位は光照射により発生した蓄積電圧  $V_p$  そのものとなる。このようにしてエミッタ電位に対してベース電位が正方向にバイアスされると、電子は、エミッタからベースに注入され、コレクタ電位が正電位になっているので、ドリフト電界により加速されて、コレクタに到達する。この時に流れる電流は、次式で与えられる。

$$i = \frac{A_j \cdot q \cdot D_n \cdot n_{p0}}{W_p} \left( 1 + \frac{N_{A0}}{N_{Ac}} \right) \times \left[ \exp \frac{q}{kT} (V_p - V_0) - 1 \right]$$

但し  $A_j$  はベース・エミッタ間の接合面積、 $q$

## 特開昭60-12765(7)

第3図は、上式を用いて計算したエミッタ電位の時間変化の一例を示している。

第3図によればエミッタ電位がベース電位に等しくなるためには、約1秒位を要することになる。これはエミッタ電位  $V_e$  が  $V_p$  に近くなるあまり電流が流れなくなること起因しているわけである。したがって、これを解決する手段は、先に電極9に正電圧  $V_{bias}$  を印加するとき

$$-V_e + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{bias} = 0$$

なる条件を設定したが、この条件の代わりに

$$-V_e + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{bias} = V_{bias}$$

なる条件を入れ、ベース電位を  $V_{bias}$  だけ、余分に順方向にバイアスしてやる方法が考えられる。この時に流れる電流は次式で与えられる。

$$i = \frac{A_j \cdot q \cdot D_n \cdot n_{p0}}{W_s} \left(1 + \ln \frac{N_{Ac}}{N_{As}}\right)$$

$$\times \left(\exp \frac{q}{kT} (V_p + V_{bias} - V_e) - 1\right)$$

第4図(a)に、 $V_{bias} = 0.6V$  とした場合、ある

以上の蓄積電圧では、さら

に、バイアス電圧  $V_{bias}$  が蓄積電圧の80%に1.12μs、90%になるのは0.54μs、98%あるのがわかる。また、 $V_{bias}$  より大きくすれば、さらに能であることを示している。図の全体の設計から読み出し性が決定されると、必要と  $V_{bias}$  が第4図(b)のグラフ定することができる。

センサセルのもう一つの利点れたホールはp領域6における結合確率がきわめて確的に読み出し可能なことで、時に電極9に印加していたにもどした時、p領域6の蓄積する前の逆バイアス状態に

蓄積の小さい状態をしているわ

に蓄積された電荷をリフレッシュして説明する。

センサセルでは、すでに述べに蓄積された電荷は、読み出しのために新しい光情報を入力に蓄積されていた電荷をリフレッシュ動作が必要である。またになされているp領域6の電に帯電させておく必要がある

光センサセルでは、リフレッシュ動作と同様、配線10を通して印加することにより行なう。この際してエミッタを接地球に接続して接地又は正電位にしリフレッシュ動作の等価回路を接地球に接地した状態の例を示し

ホーロン)、 $D_n$  はペー  
ロンの拡散定数、 $n_{p0}$  はp  
における少数キャリアとして  
 $W_s$  はベース幅、 $N_{Ac}$  は  
におけるアクセプタ濃度、 $N$   
におけるアクセプタ濃  
度、 $T$  は絶対温度、 $V_e$  は  
電位  $V_e$  がベース電位、  
により発生した蓄積電圧  
れることは上式から明らか  
電位  $V_e$  の時間的变化

$$\frac{n_{p0}}{N_{Ac}} \left(1 + \ln \frac{N_{Ac}}{N_{As}}\right)$$

$$p - V_e) - 1]$$

$C_{ox}$  はエミッタに接続さ  
れた2.1である。

加していた  $V_{bias}$  をゼロ  
電位を停止させたときの  
読み出し電圧、すなわちエ  
ミッタ電位、但し、第4図(a)で  
電圧成分による読み出し  
が必ず加算されてくる  
電位をプロットしてい  
る正電圧  $V_{bias}$  をゼロポ  
ットしたときとは逆に

$$\frac{n_{p0}}{N_{Ac}} \cdot V_{bias}$$

はされるので、ベース  
する前の状態、すなわ  
に逆バイアスされ  
るわけである。第4図  
の読み出し時間(すな  
わち時間)をとれ  
る電圧は4桁程度の範囲  
、高速の読み出しが可  
第4図(a)で、45°  
かけた場合の結果で

の図は読み出しに十分な時間をかけた場合の結果で  
あり、上記の計算例では、配線10の容量  $C_{ox}$  を  
4pFとしているが、これは  $C_{be} + C_{bc}$  の結合容量  
の0.014pFと比較して約300倍も大きいにもか  
かわらず、p領域6に発生した蓄積電圧  $V_p$  が  
何らの読取も受けず、かつ、バイアス電圧の効果  
により、きわめて高速に読み出されていることを  
第4図(a)は示している。これは上記構成に係る  
光センサセルのもつ増幅機能、すなわち電荷増幅  
機能が有効に働いているからである。

これに対して従来のMOS型増幅装置では、蓄  
積電圧  $V_p$  は、このような読み出し過程において配  
線容量  $C_{ox}$  の影響で  $C_j \cdot V_p / (C_j + C_{ox})$   
(但し  $C_j$  はMOS型増幅装置の受光部のpn接  
合容量)となり、2桁位読み出し電圧値が下がって  
しまうという欠点を有していた。このためMOS  
型増幅装置では、外部へ読み出すためのスイッチ  
ングMOSトランジスタの寄生容量のばらつきによ  
る固定パターン雑音、あるいは配線容量すなわち  
出力容量が大きいことにより発生するランダム雑

この状態で正電圧  $V_{on}$  なる電圧が電極 9 に印加されると、ベース 2' 2 には、酸化膜容量  $C_{ox}$  13、ベース・エミッタ間接合容量  $C_{be}$  15、ベース・コレクタ間接合容量  $C_{bc}$  17 の容量分割により、

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{on}$$

なる電圧が、両の放出し動作のときと同様同時的にかかる。この電圧により、ベース・エミッタ間接合ダイオード  $D_{be}$  16 およびベース・コレクタ間接合ダイオード  $D_{bc}$  18 は順方向バイアスされて導通状態となり、電流が流れ始め、ベース電位は次第に低下していく。

この時、浮遊状態にあるベースの電位  $V$  の変化は近似的に次式で表わされる。

$$(C_{be} + C_{bc}) \frac{dV}{dt} = - (i_1 + i_2)$$

但し、

$$i_1 = A_b \left( \frac{q D_p p_m}{L_p} + \frac{q D_n n_{re}}{W_s} \right) \times \left\{ \exp \left( \frac{q}{k T} V \right) - 1 \right\}$$

の内、 $q \cdot D_p \cdot p_m / L_p$  はホールによる電流、すなわちベースからホールがコレクタ側へ流れた成分を示している。このホールによる電流が流れやすい様に上記構成に係る光センサセルでは、コレクタの不純物濃度は、通常のバイポーラトランジスタに比較して少し低めに設計される。

この式を用いて計算した、ベース電位の時間依存性の一例を第 6 図に示す。横軸は、リフレッシュ電圧  $V_{on}$  が電極 9 に印加された瞬間からの時間経過すなわちリフレッシュ時間を、縦軸は、ベース電位をそれぞれ示す。また、ベースの初期電位をパラメータにしている。ベースの初期電位とは、リフレッシュ電圧  $V_{on}$  が加わった瞬間に、浮遊状態にあるベースが示す電位であり、 $V_{on}$ 、 $C_{ox}$ 、 $C_{be}$ 、 $C_{bc}$  及びベースに蓄積されている電荷によってきまる。

この第 6 図をみれば、ベースの電位は初期電位によらず、ある時間経過後には必ず、片対数グラフ上で一つの直線にしたがって下がっていく。

$$i_2 = A_e \frac{q D_n n_{re}}{W_s}$$

$$\times \left\{ \exp \left( \frac{q}{k T} V \right) - 1 \right\}$$

$i_1$  はダイオード  $D_{bc}$  を流れる電流、 $i_2$  はダイオード  $D_{be}$  を流れる電流である。 $A_b$  はベース面積、 $A_e$  はエミッタ面積、 $D_p$  はコレクタ中におけるホールの拡散定数、 $p_m$  はコレクタ中における熱平衡状態のホール濃度、 $L_p$  はコレクタ中におけるホールの平均自由行程、 $n_{re}$  はベース中における熱平衡状態でのエレクトロン濃度である。 $i_2$  で、ベース側からエミッタへのホール注入による電流は、エミッタの不純物濃度がベースの不純物濃度にくらべて充分高いので、無視できる。

上に示した式は、段階接合近似のものであり実際のデバイスでは段階接合からはずれており、又ベースの厚さが薄く、かつ複雑な濃度分布を有しているので厳密なものではないが、リフレッシュ動作をかなりの近似で説明可能である。

上式中のベース・コレクタ間に流れる電流  $i_1$

第 6 図 (b) に、リフレッシュ時間に対するベース電位変化の実験値を示す。第 6 図 (a) に示した計算例に比較して、この実験で用いたテストデバイスは、ディメンションがかなり大きいため、計算例とはその絶対値は一致しないが、リフレッシュ時間に対するベース電位変化が片対数グラフ上で直線的に変化していることが実証されている。この実験例ではコレクタおよびエミッタの両者を接地したときの値を示している。

今、光照射による蓄積電圧  $V_p$  の最大値を 0.4 [V]、リフレッシュ電圧  $V_{on}$  によりベースに印加される電圧  $V$  を 0.4 [V] とすると、第 6 図に示すごとく初期ベース電位の最大値は 0.8 [V] となり、リフレッシュ電圧印加後 10 [sec] 後には直線にのってベース電位が下がり始め、10<sup>-4</sup> [sec] 後には、光があたらなかった時、すなわち初期ベース電位が 0.4 [V] のときの電位変化と一致する。

p 領域 6 が、MOS キャパシタ  $C_{ox}$  を通して正電圧をある時間印加し、その正電圧を除去すると



負電位に帯電する仕方には、2通りの仕方がある。一つは、p領域6から正電荷を持つホールが、主として接地状態にあるn領域1に流れ出すことによって、負電荷が蓄積される動作である。p領域6からホールが、n領域1に一方的に流れ、n領域1の電子があまりp領域6内に流れ込まないようにするためには、p領域6の不純物密度をn領域1の不純物密度より高くしておけばよい。一方、n<sup>+</sup>領域7やn領域1からの電子が、p領域6に流れ込み、ホールと再結合することによって、p領域6に負電荷が蓄積する動作も行なえる。この場合には、n領域1の不純物密度はp領域6より低くされている。p領域6からホールが放出することによって、負電荷が蓄積する動作の方が、p領域6ベースに電子が流れ込んでホールと再結合することにより負電荷が蓄積する動作よりはるかに速い。しかし、これまでの実験によれば、電子をp領域6に返し込むリフレッシュ動作でも、光電変換装置の動作に対しては、十分に速い時間応答を示すことが確認されている。

る。

上記構成に係る光センサセルをXY方向に多数ならべて光電変換装置を構成したとき、所像により各センサセルで、蓄積電圧 $V_p$ は、上記の例では $0 \sim 0.4$  [V]の間でばらついているが、リフレッシュ電圧 $V_{rn}$ 印加後 $10^{-3}$  [sec]には、全てのセンサセルのベースには約 $0.3$  [V]程度の一定電圧は残るものの、所像による蓄積電圧 $V_p$ の変化分は全て消えてしまうことがわかる。すなわち、上記構成に係る光センサセルによる光電変換装置では、リフレッシュ動作により全てのセンサセルのベース電位をゼロボルトまで持っていき完全リフレッシュモードと（このときは第6図(e)の例では $10$  [sec]を要する）、ベース電位にはある一定電圧は残るものの蓄積電圧 $V_p$ による変動成分が消えてしまう過渡的リフレッシュモードの二つが存在するわけである（このときは第6図(e)の例では、 $10$  [ $\mu$ sec] $\sim 10$  [sec]のリフレッシュパルス）。以上の例では、リフレッシュ電圧 $V_{rn}$ によりベースに印加される電圧 $V$ を $0.4$  [V]

としたが、この電圧 $V_n$ を $0.8$  [V]とすれば、上記、過渡的リフレッシュモードは、第6図によれば、 $1$  [nsec]でおこり、きわめて高速にリフレッシュすることができる。完全リフレッシュモードで動作させるか、過渡的リフレッシュモードで動作させるかの選択は光電変換装置の使用目的によって決定される。

この過渡的リフレッシュモードにおいてベースに残る電圧を $V_x$ とすると、リフレッシュ電圧 $V_{rn}$ を印加後、 $V_{rn}$ をゼロボルトにもどす瞬間の過渡的状态において、

$$V_x = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{rn}$$

なる負電圧がベースに加算されるので、リフレッシュパルスによるリフレッシュ動作後のベース電位は

$$V_x = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{rn}$$

となり、ベースはエミッタに対して逆バイアス状態になる。

先に光により励起されたキャリアを蓄積する蓄

積動作のとき、蓄積状態ではベースは逆バイアス状態で行なわれるという説明をしたが、このリフレッシュ動作により、リフレッシュおよびベースを逆バイアス状態に持っていきことの2つの動作が同時に行なわれるわけである。

第6図(c)にリフレッシュ電圧 $V_{rn}$ に対するリフレッシュ動作後のベース電位

$$V_x = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{rn}$$

の変化の実験値を示す。パラメータとして $C_{ox}$ の値を $5pF$ から $100pF$ までとっている。丸印は実験値であり、実線は

$$V_x = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{rn}$$

より計算される計算値を示している。このとき $V_x = 0.52V$ であり、また、 $C_{be} + C_{bc} = 4pF$ である。但し図測用オシロスコープのブローグ容量 $13pF$ が $C_{be} + C_{bc}$ に並列に接続されている。この様に、計算値と実験値は完全に一致しており、リフレッシュ動作が実験的にも確認されている。

以上のリフレッシュ動作においては、第5図に示す様に、コレクタを接地したときの例について説明したが、コレクタを正電位にした状態で行なうことも可能である。このときは、ベース・コレクタ間接合ダイオードDbe10が、リフレッシュパルスが印加されても、このリフレッシュパルスによりベースに印加される電位よりも、コレクタに印加されている正電位の方が大きいと非導通状態のままなので、電流はベース・エミッタ間接合ダイオードDbe10だけを流して流れる。このため、ベース電位の低下は、よりゆっくりしたものになるが、基本的には、前に説明したのと、まったく同様な動作が行なわれるわけである。

すなわち第6図(e)のリフレッシュ時間に対するベース電位の関係は、第6図(a)のベース電位が低下する時の斜めの直線が右側の方、つまり、より時間の要する方向へシフトすることになる。したがって、コレクタを接地した時と同じリフレッシュ電圧 $V_{rr}$ を用いると、リフレッシュに時間を要することになるが、リフレッシュ電圧 $V_{rr}$

をわずかに高めてやればコレクタを接地した時と同様、高速のリフレッシュ動作が可能である。

以上が光入射による電荷蓄積動作、読出し動作、リフレッシュ動作よりなる上記構成に係る光センサセルの基本動作の説明である。

以上説明したごとく、上記構成に係る光センサセルの基本構造は、すでにあげた特開昭56-150878、特開昭56-157073、特開昭56-165473と比較してきわめて簡単な構造であり、将来の高解像度化に十分対応できるとともに、それらのもつ優れた特徴である増幅機能からくる低雑音、高出力、広ダイナミックレンジ、非破壊読出し等のメリットをそのまま保存している。

次に、以上説明した構成に係る光センサセルを二次元に配列して構成した本発明の光電変換装置の一実施例について図面を用いて説明する。

基本光センサセル構造を二次元的に $3 \times 3$ に配列した光電変換装置の回路構成図を第7図に示す。

すでに説明した点線でかこまれた基本光センサセル30(この時バイポーラトランジスタのコレクタは基板および基板電位に接続されることを示している)、読出しパルスおよびリフレッシュパルスを印加するための水平ライン31、31'、31"、読出しパルスを発生させるための垂直シフトレジスタ32、垂直シフトレジスタ32と水平ライン31、31'、31"の間のバッファMOSトランジスタ33、33'、33"、バッファMOSトランジスタ33、33'、33"のゲートにパルスを印加するための端子34、リフレッシュパルスを印加するためのバッファMOSトランジスタ35、35'、35"、そのゲートにパルスを印加するための端

子36、リフレッシュパルスを印加するための端子37、基本光センサセル30から蓄積電圧を読出すための垂直ライン38、38'、38"、各垂直ラインを選択するためのパルスを発生する水平シフトレジスタ39、各垂直ラインを開閉するためのゲート用MOSトランジスタ40、40'、40"、蓄積電圧をアンプ部に読出すための出力ライン41、読出し後に、出力ラインに蓄積した電荷をリフレッシュするためのMOSトランジスタ42、MOSトランジスタ42へリフレッシュパルスを印加するための端子43、出力信号を増幅するためのバイポーラ、MOS、FET、J-FET等のトランジスタ44、負荷抵抗45、トランジスタと電線を接続するための端子46、トランジスタの出力端子47、読出し動作において垂直ライン48、48'、48"に蓄積された電荷をリフレッシュするためのMOSトランジスタ48、48'、48"、およびMOSトランジスタ48、48'、48"のゲートにパルスを印加するための端子49によりこの光電変換

装置は構成されている。

この光電変換装置の動作について第7図および第8図に示すパルスタイミング図を用いて説明する。

第8図において、区間G1はリフレッシュ動作、区間G2は蓄積動作、区間G3は読出し動作にそれぞれ対応している。

時刻t<sub>1</sub>において、基板電位、すなわち光センサセル部のコレクタ電位G4は、接地電位または正電位に保たれるが、第8図では接地電位に保たれているものを示している。接地電位又は正電位のいずれにしても、すでに説明した様に、リフレッシュに要する時間が異なってくるだけであり、基本動作に変化はない。端子49の電位G5はhigh状態であり、MOSトランジスタ48、48'、48"は導通状態に保たれ、各光センサセルは、垂直ライン38、38'、38"を通して接地されている。また端子36には、波形G6のごとくバッファMOSトランジスタが導通する電圧が印加されており、全画素一括リフレッシュ

用バッファMOSトランジスタ35、35'、35"は導通状態となっている。この状態で端子37に波形G7のごとくパルスが印加されると、水平ライン31、31'、31"を通して各光センサセルのベースに電圧がかかり、すでに説明した様に、リフレッシュ動作に入り、それ以前に蓄積されていた電荷が、完全リフレッシュモード又は過渡的リフレッシュモードにしたがってリフレッシュされる。完全リフレッシュモードになるか又は過渡的リフレッシュモードになるかは波形G7のパルス幅により決定されるわけである。

t<sub>2</sub>時刻において、すでに説明したごとく、各光センサセルのトランジスタのベースはエミッタに対して逆バイアス状態となり、次の蓄積区間G2へ移る。このリフレッシュ区間G1においては、図に示すように、他の印加パルスは全てlow状態に保たれている。

蓄積動作区間G2においては、基板電位、すなわちトランジスタのコレクタ電位波形G4は正電位にする。これにより光照射により発生したエ

レクトロン・ホール対のうちのエレクトロンを、コレクタ側へ厚く被せしめることができる。しかし、このコレクタ電位を正電位に保つことは、ベースをエミッタに対して逆方向バイアス状態、すなわち負電位にして設けているので必須条件ではなく、接地電位あるいは若干負電位状態にしても基本的な蓄積動作に変化はない。

蓄積動作状態においては、MOSトランジスタ48、48'、48"のゲート端子49の電位G5は、リフレッシュ区間と同様、highに保たれ、各MOSトランジスタは導通状態に保たれる。このため、各光センサセルのエミッタは垂直ライン38、38'、38"を通して接地されている。強い光の照射により、ベースにホールが蓄積され、飽和してくると、すなわちベース電位がエミッタ電位（接地電位）に対して順方向バイアス状態になってくると、ホールは垂直ライン38、38'、38"を通して流れ、そこでベース電位変化は停止し、はくわされることがなくなる。したがって、垂直方向にのみ光センサセル

のエミッタが垂直ライン38、38'、38"により共通に接続されているが、この様に垂直ライン38、38'、38"を接続しておくと、ブルーミング現象を生ずることはない。

このブルーミング現象をさける方法は、MOSトランジスタ48、48'、48"を非導通状態にして、垂直ライン38、38'、38"を浮遊状態にしても、基板電位、すなわちコレクタ電位G4を若干負電位にしておき、ホールの蓄積によりベース電位が正電位方向に変化してきたとき、エミッタより先にコレクタ側の方へ流れだすようにすることにより達成することも可能である。

蓄積区間G2に次いで、時刻t<sub>3</sub>より読出し区間G3になる。この時刻t<sub>3</sub>において、MOSトランジスタ48、48'、48"のゲート端子49の電位G5をlowにし、かつ水平ライン31、31'、31"のバッファMOSトランジスタ33、33'、33"のゲート端子の電位G8をhighにし、それぞれのMOSトランジスタ

を導通状態とする。但し、このゲート端子34の電位60をhighにするタイミングは、時刻1であることは必須条件ではなく、それより早い時刻であれば良い。

時刻1では、垂直シフトレジスタ32の出力のうち、水平ライン31に接続されたものが被写体69のごとくhighとなり、このとき、MOSトランジスタ33が導通状態であるから、この水平ライン31に接続された3つの赤光センサセルの読出しが行なわれる。この読出し動作はすでに前に説明した通りであり、赤光センサセルのベース領域に蓄積された信号電荷により発生した信号電圧は、そのまま、垂直ライン30、30'、30"に現われる。このときの垂直シフトレジスタ32からのパルス電圧のパルス幅は、第4図に示した様に、蓄積電圧に対する読出し電圧が、十分な線性を保つ関係になるパルス幅に設定される。またパルス電圧は先に説明した様に、V<sub>DD</sub>分だけエミッタに対して順方向バイアスがかかる様調整される。

読出しに起因する信号電荷が残っているため、赤垂直ライン30、30'、30"に接続されたMOSトランジスタ48、48'、48"を、そのゲート端子49に被写体65で示される様にhighにして導通させ、この残留信号電荷をリフレッシュする。

次いで、時刻1において、垂直シフトレジスタ32の出力のうち、水平ライン31'に接続された出力が被写体69'のごとくhighとなり、水平ライン31'に接続された赤光センサセルの蓄積電圧が、赤垂直ライン30、30'、30"に読出されるわけである。以下、順次前と同様の動作により、出力端子47から信号が読出される。

以上の説明においては、蓄積区画62と読出し区画63が明確に区別される様な応用分野、例えば最近研究開発が積極的に行なわれているスチルビデオに適用される動作状態について説明したが、テレビカメラの様に蓄積区画62における動作と読出し区画63における動作が同時に行なわ

れたいで、時刻1において、水平シフトレジスタ39の出力のうち、垂直ライン38に接続されたMOSトランジスタ40のゲートへの出力だけが被写体70のごとくhighとなり、MOSトランジスタ40が導通状態となり、出力信号は出力ライン41を通して、出力トランジスタ44に入り、電圧増幅されて出力端子47から出力される。この様に信号が読出された後、出力ライン41には配線容量に起因する信号電荷が残っているため、時刻1において、MOSトランジスタ42のゲート端子43にパルス被写体71のごとくパルスを加し、MOSトランジスタ42を導通状態にして出力ライン41を接続して、この残留した信号電荷をリフレッシュしてやるわけである。以下同様にして、スイッチングMOSトランジスタ40'、40"を順次導通させて垂直ライン30'、30"の信号出力を読出す。この様にして水平に並んだ一ライン分の赤光センサセルからの信号を読出した後、垂直ライン30、30'、30"には、出力ライン41と同様、その配線

残っている様な応用分野に関しても、第8図のパルスタイミングを変更することにより適用可能である。但し、この時のリフレッシュは全画面一括リフレッシュではなく、一ライン毎のリフレッシュ機能が必須である。例えば、水平ライン31に接続された赤光センサセルの信号が読出された後、時刻1において赤垂直ラインに残留した電荷を消去するためMOSトランジスタ48、48'、48"を導通にするが、このとき水平ライン31にリフレッシュパルスを加加する。すなわち、被写体69において時刻1においても時刻1と同様、パルス電圧、パルス幅、の異なるパルスを発生する様な積層の垂直シフトレジスタを使用することにより達成することができる。この様にダブルパルスの動作以外には、第7図の右側に設置した一括リフレッシュパルスを加加する装置の代りに、左側と同様の第2の垂直シフトレジスタを右側にも設け、タイミングを左側に設けられた垂直レジスタとずらせながら動作させることにより達成させることも可能である。

このときは、すでに説明した様な蓄積状態において、各光センサセルのエミッタおよびコレクタの各電位を操作してブルーミングを押さえるという動作の自由度が少なくなる。しかし、基本動作の所で説明した様に、読出し状態では、ベースに  $V_{bias}$  なるバイアス電圧を印加したときに始めて高速読出しができる様な構成としているので、第3図のグラフからわかる様に、 $V_{bias}$  を印加しない時に、各光センサセルの飽和により、垂直ライン28、28'、28''に読れだす信号電荷分はきわめてわずかであり、ブルーミング現象は、まったく問題にはならない。

また、スミア現象に対しても、本実施例に係る光電変換装置は、きわめて優れた特性を得ることができる。スミア現象は、CCD型画像装置、特にフレーム転送型においては、光の照射されている所を電荷転送されるという、動作および構造上発生する問題であり、インクライン型においては、特に長波長の光により半導体の深部で発生したキャリアが電荷転送層に蓄積されるために発

生する問題である。

また、MOS型画像装置においては、各光センサセルに接地されたスイッチングMOSトランジスタのドレイン側に、やはり長波長の光により半導体深部で発生したキャリアが蓄積されるために生じる問題である。

これに対して本実施例に係る光電変換装置では、動作および構造上発生するスミア現象はまったくなく、また長波長の光により半導体深部で発生したキャリアが蓄積されるという現象もまったく生じない。但し、光センサセルのエミッタにおいて比較的表層近傍で発生したエレクトロンとホールのうち、エレクトロンが蓄積されるという現象が心配されるが、これは、一括リフレッシュ動作のときは蓄積動作状態において、エミッタが接地されているため、エレクトロンは蓄積されず、スミア現象が生じない。また通常のテレビカメラのとき応用されるラインリフレッシュ動作のときは、水平ブランキングの期間において、垂直ラインに蓄積電圧を読出す前に、垂直ラインを接

地してリフレッシュするので、この時間時にエミッタに一本水平走査期間に蓄積されたエレクトロンは流れ出してしまい、このため、スミア現象はほとんど発生しない。この様に、本実施例に係る光電変換装置では、その構造上および動作上、スミア現象はほとんど本質的に回避し得る程度しか発生せず、本実施例に係る光電変換装置の大きな利点の一つである。

また、蓄積動作状態において、エミッタおよびコレクタの各電位を操作して、ブルーミング現象を押さえるという動作について前に記述したが、これを利用して $\gamma$ 特性を制御することも可能である。

すなわち、蓄積動作の途中において、一時的にエミッタまたはコレクタの電位をある一定の負電位にし、ベースに蓄積されたキャリアのうち、この負電位を与えるキャリア数より多く蓄積されているホールをエミッタまたはコレクタ側へ渡してしまおうという動作をさせる。これにより、蓄積電圧と入射光量に対する関係は、入射光量の小さいと

きはシリコン結晶のもつ $\gamma=1$ の特性を示し、入射光量の大きい所では、 $\gamma$ が1より小さくなる様な特性を示す。つまり、折線近似的に通常テレビカメラで要求される $\gamma=0.45$ の特性をもたせることが可能である。蓄積動作の途中において上記動作を一度やれば一折線近似となり、エミッタ又はコレクタに印加する負電位を二度適宜変更して行なえば、二折線タイプの $\gamma$ 特性を持たせることも可能である。

また、以上の実施例においては、シリコン基板を共通コレクタとしているが通常バイポーラトランジスタのごとく埋込 $n^+$ 領域を設け、各ライン毎にコレクタを分離させる様な構造としてもよい。

なお、実際の動作には第8図に示したパルスクイミング以外に、垂直シフトレジスタ32、水平シフトレジスタ39を駆動するためのクロックパルスが必要である。

第9図に出力信号に關係する等価回路を示す。容量 $C_{v0}$ は、垂直ライン38、38'、

38" の配線容量であり、容量  $C_{n01}$  は出力ライン 41 の配線容量をそれぞれ示している。また第 9 図右側の等価回路は、読出し状態におけるものであり、スイッチング用 MOS トランジスタ 40、40'、40" は導通状態であり、その導通状態における抵抗値を抵抗  $R_{n02}$  で示している。また増幅用トランジスタ 44 を抵抗  $R_{n03}$  および電流源  $B4$  を用いた等価回路で示している。出力ライン 41 の配線容量に起因する電荷蓄積をリフレッシュするための MOS トランジスタ 42 は、読出し状態では非導通状態であり、インピーダンスが高いため、右側の等価回路では省略している。

等価回路の各パラメータは、実際に構成する光電変換装置の大きさにより決定されるわけであるが、例えば、容量  $C_{n00}$  は約 4 pF 位、容量  $C_{n01}$  は約 4 pF 位、MOS トランジスタの導通状態の抵抗  $R_{n02}$  は 3 K $\Omega$  程度、バイポーラトランジスタ 44 の電流増幅率  $\beta$  は約 100 程度として、出力端子 47 において観測される出力波形

波形を計算した例を第 10 図に示す。

第 10 図において横軸はスイッチング MOS トランジスタ 40、40'、40" が導通した期間からの時間 [μs] を、縦軸は垂直ライン 38、38'、38" の配線容量  $C_{n00}$  に、光センサセルから信号電荷が読出されて 1 ボルトの電圧がかかっているときの出力端子 47 に現われる出力電圧 [V] をそれぞれ示している。

出力信号波形 05 は負荷抵抗  $R_{n04}$  が 10 K $\Omega$ 、06 は負荷抵抗  $R_{n04}$  が 5 K $\Omega$ 、07 は負荷抵抗  $R_{n04}$  が 2 K $\Omega$  のときのものであり、いずれにおいてもピーク値は、 $C_{n00}$  と  $C_{n01}$  の容量分割により 0.5 V 程度になっている。当然のことながら、負荷抵抗  $R_{n04}$  が大きい方が読出量は小さく、望ましい出力波形になっている。立ち上がり時間は、上記のパラメータ値のとき、約 1 μsec と高速である。スイッチング MOS トランジスタ 40、40'、40" の導通状態における抵抗  $R_{n02}$  を小さくすることにより、および、配線容量  $C_{n00}$ 、 $C_{n01}$  を小さくすることにより、さら

に高速の読出しも可能である。

上記構成に係る光センサセルを利用した光電変換装置では、各光センサセルのもつ増幅機能により、出力に現れる電圧が大きいため、最終段の増幅アンプも、MOS 型増幅装置に比較してかなり簡単なもので良い。上記例ではバイポーラトランジスタ 1 段のタイプのものを使用した例について説明したが、2 段構成のもの等、他の方式を使うことも当然のことながら可能である。この例の様にバイポーラトランジスタを用いると、CCD 画像装置における最終段のアンプの MOS トランジスタから発生する画像上目につきやすい 1/f 雑音の問題が、本実施例の光電変換装置では発生せず、きわめて S/N 比の良い画質を得ることが可能である。

上に述べた様に、上記構成に係る光センサセルを利用した光電変換装置では、最終段の増幅アンプがきわめて簡単なもので良いことから、最終段の増幅アンプを一つだけ設ける第 7 図に示した一実施例のごときタイプではなく、増幅アンプを増設設置して、一つの画素を複数に分割して読出す様な構成とすることも可能である。

第 11 図に、分割読出し方式の一例を示す。第 11 図に示す実施例は、水平方向を 3 分割とし最終段アンプを 3 つ設置した例である。基本的な動作は第 7 図の実施例および第 8 図のタイミング図を用いて説明したものと同じであるが、この第 11 図の実施例では、3 つの等価な水平シフトレジスタ 100、101、102 を設け、これらの駆動パルスを加加するための端子 103 に駆動パルスが入ると、1 列目、(n+1) 列目、(2n+1) 列目 (n は整数であり、この実施例では水平方向総素数は 3n 個である。) に接続された各センサセルの出力が同時に読出されることになる。次の時点では、2 列目、(n+2) 列

目、 $(2n+2)$ 列目が読出されることになる。

この実施例によれば、一本の水平ライン分を読出す時間が固定されている時は、水平方向のスキヤニング周波数は、一つの最終段アンプをつけた方式に比較して $1/3$ の周波数で良く、水平シフトレジスターが簡単になり、かつ光電変換装置からの出力信号をアナログデジタル変換して、信号処理する様な用途には、高速のアナログ・デジタル変換器は不要であり、分割読出し方式の大きな利点である。

第11図に示した実施例では、等価な水平シフトレジスターを3つ設けた方式であったが、同様な機能は、水平レジスター1つだけでももたせることが可能である。この場合の実施例を第12図に示す。

第12図の実施例は、第11図に示した実施例のうちの水平スイッチングMOSトランジスタと、最終段アンプの中間の部分だけを省いたものであり、他の部分は、第11図の実施例と同じで

あるから省略している。

この実施例では、1つの水平シフトレジスター104からの出力を1列目、 $(n+1)$ 列目、 $(2n+1)$ 列目のスイッチングMOSトランジスタのゲートに接続し、それらのラインを同時に読出す様にしている。次の時点では、2列目、 $(n+2)$ 列目、 $(2n+2)$ 列目が読出されるわけである。

この実施例によれば、各スイッチングMOSトランジスタのゲートへの配線は増加するものの、水平シフトレジスターとしては1つだけで動作が可能である。

第11図、第12図の例では出力アンプを3つ設けた例を示したが、この数はその目的に応じてさらに多くしてもよいことはもちろんである。

第11図、第12図の実施例ではいずれも、水平シフトレジスター、垂直シフトレジスターの駆動パルスおよびクロックパルスは省略しているが、これらは、他のリフレッシュパルスと同様、同一チップ内に設けたクロックパルス発生器ある

いは、他のチップ上に設けられたクロックパルス発生器から供給される。

この分割読出し方式では、水平ライン一括又は全画面一括リフレッシュを行なうと、 $n$ 列目と $(n+1)$ 列目の光センサセル間では、わずかな露光時間が異なり、これにより、暗電流成分および信号成分に、わずかなの不連続性が生じ、画像上目についてくる可能性も考えられるが、この原因はわずかであり、実用上問題はない。また、これが、許容限度以上になってきた場合でも、外部回路を用いて、それを補正することは、キョシ状態を発生させ、これと暗電流成分との差算およびこれと信号成分の乗除算により行なう従来の補正技術を使用することにより容易に可能である。

この様な光電変換装置を用いて、カラー画像を撮像する時は、光電変換装置の上に、ストライプフィルターあるいは、モザイクフィルター等をオンチップ化したり、又は、別に作ったカラーフィルターを貼合せることによりカラー信号を得ることが可能である。

一例としてR、G、Bのストライプ・フィルターを使用した時は、上記構成に係る光センサセルを利用した光電変換装置ではそれぞれ別々の最終段アンプよりR信号、G信号、B信号を得ることが可能である。これの一実施例を第13図に示す。この第13図も第12図と同様、水平レジスターのまわりだけを示している。他は第7図および第11図と同じであり、ただ1列目はRのカラーフィルター、2列目はGのカラーフィルター、3列目はBのカラーフィルター、4列目はRのカラーフィルターという様にカラーフィルターがついているものとする。第13図に示すごとく1列目、4列目、7列目-----の各垂直ラインは出力ライン110に接続され、これはR信号をとりだす。又2列目、5列目、8列目-----の各垂直ラインは出力ライン111に接続され、これはG信号をとりだす。又同様にして、3列目、6列目、9列目-----の各垂直ラインは出力ライン112に接続されB信号をとりだす。出力ライン110、111、112はそれぞれオンチップ

化されたりフレッシュ用MOSトランジスタおよび最終段アンプ、例えばエミッタフォロアタイプのバイポーラトランジスタに接続され、各カラー信号が別々に出力されるわけである。

本発明の他の実施例に係る光電変換装置を構成する光センサセルの他の例の基本構造および動作を説明するための図を第14図に示す。またその等価回路および全体の回路構成図を第15図(a)に示す。

第14図に示す光センサセルは、同一の水平スキャンパルスにより読出し動作、およびラインリフレッシュを同時に行なうことを可能とした光センサセルである。第14図において、すでに第1図で示した構成と異なる点は、第1図の場合水平ライン配線10に接続されるMOSキャパシタ電極9が一つだけであったものが上下に隣接する光センサセルの側にもMOSキャパシタ電極120が接続され、1つの光センサセルからみた時に、ダブルコンデンサタイプとなっていること、および図において上下に隣接する光センサセ

ルのエミッタ7、8は2層配線にされた配線0、および配線121。(第14図では、垂直ラインが1本に見えるが、読出しを介して2本のラインが配線されている)に交互に接続、すなわちエミッタ7はコンタクトホール19を通して配線0に、エミッタ8はコンタクトホール1を通して配線121にそれぞれ接続されていることが異なっている。

これは第15図(a)の等価回路をみるとより明らかとなる。すなわち、光センサセル152のベースに接続されたMOSキャパシタ150は水平ライン31に接続され、MOSキャパシタ151は水平ライン3に接続されている。また光センサセル152の図において下に隣接する光センサセル15のMOSキャパシタ15は共通する水平ライン3に接続されている。

光センサセル152のエミッタは垂直ライン30に、光センサセル15のエミッタは垂直ライン130に、光センサセル15のエミッタは垂直ライン30という様にそれぞれ交互に接続され

ている。

第15図(a)の等価回路では、以上述べた基本の光センサセル以外で、第7図の回路装置と異なるのは、垂直ライン30をリフレッシュするためのスイッチングMOSトランジスタ40のほか垂直ライン130をリフレッシュするためのスイッチングMOSトランジスタ140、および垂直ライン30を選択するスイッチングMOSトランジスタ40のほか垂直ライン130を選択するためのスイッチングMOSトランジスタ140が追加され、また出力アンプ系が一つ増設されている。この出力系の構成は、各ラインをリフレッシュするためのスイッチングMOSトランジスタ40、および140が接続されている様な構成とし、さらに水平スキャン用のスイッチングMOSトランジスタを用いる第15図(b)に示す様に出力アンプを一つだけにする構成もまた可能である。第15図(b)では第15図(a)の垂直ライン選択および出力アンプ系の部分だけを示している。

この第14図の光センサセル及び第15図(a)に示す実施例によれば、次の様な動作が可能である。すなわち、今水平ライン31に接続された各光センサセルの読出し動作が終了し、テレビ動作における水平ブランキング期間にある時、垂直シフトレジスタ32からの出力パルスが水平ライン3に出力されるとMOSキャパシタ151を介して、読出しの終了した光センサセル152をリフレッシュする。このとき、スイッチングMOSトランジスタ40は導通状態にされ、垂直ライン30は接地されている。

また水平ライン3に接続されたMOSキャパシタ15を通して光センサセル15の出力が垂直ライン130に読出される。このとき当然のことながらスイッチングMOSトランジスタ140は非導通状態になされ、垂直ライン130は浮遊状態となっているわけである。この様に一つの垂直スキャンパルスにより、すでに読出しを終了した光センサセルのリフレッシュと、次のラインの光センサセルの読出しが同一のパルスで



同時的に行なうことが可能である。このときすでに説明した様にリフレッシュする時の電圧と読出しの時の電圧は、読出し時には、高速読出しの必要性からバイアス電圧をかけるので異なってくるが、これは第14図に示すごとく、MOSキャパシタ電極およびMOSキャパシタ電極120の面積を変えることにより各電極に同一の電圧が印加されても各光センサーセルのベースには異なる電圧がかかる様な構成をとることにより達成されている。

すなわち、リフレッシュ用MOSキャパシタの面積は、読出し用MOSキャパシタの面積に比べて小さくなっている。この例のように、センサーセル全部を二括リフレッシュするのではなく、一ラインずつリフレッシュしていく場合には、第1図(b)に示されるようにコレクタをn層あるいはn<sup>+</sup>基板で構成しておいてもよいが、水平ラインごとにコレクタを分離して設けた方が望ましいことがある。コレクタが基板になっている場合には、全光センサーセルのコレクタが共通領域となる

ているため、読出しおよび受光読出し状態ではコレクタに一定のバイアス電圧が加わった状態になっている。もちろん、すでに説明したようにコレクタにバイアス電圧が加わった状態でも浮遊ベースのリフレッシュは、エミッタの間で行なえる。ただし、この場合には、ベース領域のリフレッシュが行なわれると同時に、リフレッシュパルスが印加されたセルのエミッタコレクタ間に微少な電流が流れ、消費電力を大きくするという欠点が生ずる。こうした欠点を克服するためには、全センサーセルのコレクタを共通領域とせず、各水平ラインに各センサーセルのコレクタは共通になるが、各水平ラインごとのコレクタは互いに分離された構造にする。すなわち、第1図の構造に関連させて説明すれば、基板はp型にして、p型基板中にコレクター各水平ラインごとに互いに分離されたn<sup>+</sup>埋込領域を設けた構造にする。隣り合う水平ラインのn<sup>+</sup>埋込領域の分離は、p領域を間に介在させる構造でもよい。水平ラインに沿って埋込まれるコレクタのキャパシタを減少させるには、

絶縁物分離の方が好ましい。第1図では、コレクタが基板で構成されているから、センサーセルを互に分離領域はすべてほとんど同じ深さまで設けられている。一方、各水平ラインごとのコレクタを互いに分離するには、水平ライン方向の分離領域を垂直ライン方向の分離領域より必要な領域だけ深くしておくことになる。

各水平ラインごとにコレクタが分離されていれば、読出しが終わって、リフレッシュ動作が始まる時に、その水平ラインのコレクタの電圧を接地すれば、前述したようなエミッタコレクタ間電流は流れず、消費電力の増加をもたらさない。リフレッシュが終わって光信号による電荷蓄積動作に入る時に、ふたたびコレクタ領域には所定のバイアス電圧を印加する。

また第15図(a)の等価回路によれば、各水平ライン毎に出力は出力端子47および147にそれぞれ出力されることになる。これは、すでに説明したごとく、第15図(b)の様な構成にすることにより、一つのアンプから出力をとりだすことも可

能である。

以上説明した様に本発明例によれば、比較的簡単な構造で、ラインリフレッシュが可能となり、通常のテレビカメラ等の応用分野にも適用することができるといえる。

本発明の他の実施例としては、光センサーセルに複数のエミッタを設けた構成あるいは、一つのエミッタに複数のコンタクトを設けた構成により、一つ的光センサーセルから複数の出力をとりだすタイプが考えられる。

これは本発明による光電変換装置の各光センサーセルが増幅機能をもつことから、一つ的光センサーセルから複数の出力をとりだすために、各光センサーセルに複数の配線容量が接続されても、光センサーセルの内部で発生した誘導電圧 $V_p$ が、まったく減衰することなしに各出力に送出することが可能であることに起因している。

この様に、各光センサーセルから複数の出力をとりだすことができる構成により、各光センサーセルを多数配列してなる光電変換装置に対して信号増

理あるいは製造設備等に対して多くの利点を付加することが可能である。

次に本発明に係る光電変換装置の一製造例について説明する。第1図に、選択エピタキシャル成長(H. Ende et al, "Novel device isolation technology with selected epitaxial growth" Tech. Dig. of 1982 I E D M, PP. 241-244 参照)を用いたその製造の一例を示す。

$1 \sim 10 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度のn形Si基板1の表面側に、コンタクト用のn<sup>+</sup>領域11を、AsあるいはPの拡散で設ける。n<sup>+</sup>領域からのオートドーピングを助ぐために、図には示さないが酸化膜及び窒化膜を表面に薄膜は設けておく。

基板1は、不純物濃度及び結晶性が均一に制御されたものを用いる。すなわち、キャリアライントイムがウエハで十分に長かつ均一な結晶ウエハを用いる。その様なものとしては例えばMCZ法による結晶が適している。基板1の表面に約 $1 \mu\text{m}$ 程度の酸化膜をウェット酸化により形成する。すなわち、H<sub>2</sub>O雰囲気かあるいは(H<sub>2</sub>+O<sub>2</sub>)雰囲気中で酸化する。積層欠陥等を生じさ

せずに良好な酸化膜を得るには、900℃程度の温度での高温酸化が適している。

その上に、たとえば $2 \sim 4 \mu\text{m}$ 程度の厚さのSiO<sub>2</sub>膜をCVDで堆積する。(N<sub>2</sub>+SiH<sub>4</sub>+O<sub>2</sub>)ガス系で、300~500℃程度の温度で所望の厚さのSiO<sub>2</sub>膜を堆積する。O<sub>2</sub>/SiH<sub>4</sub>のモル比は温度にもよるが4~40程度に設定する。フォトリソグラフィ工程により、セル間の分離領域となる部分の酸化膜を残して他の領域の酸化膜は、(CF<sub>4</sub>+H<sub>2</sub>)、C<sub>2</sub>F<sub>6</sub>、CH<sub>3</sub>F等のガスを用いたリアクティブイオンエッチングで除去する(第1図の工程(a))。例えば、 $10 \times 10 \mu\text{m}^2$ に1個素を設ける場合には、 $10 \mu\text{m}$ ピッチのメッシュ状にSiO<sub>2</sub>膜を残す。SiO<sub>2</sub>膜の幅はたとえば $2 \mu\text{m}$ 程度に選ばれる。リアクティブイオンエッチングによる表面のダメージ層及び汚染層を、Ar/Cl<sub>2</sub>ガス系プラズマエッチングかウェットエッチングによって除去した後、超高真空中における蒸着もしくは、ロードロック形式で十分に雰囲気が制御になされたスパッタ、ある

いは、SiH<sub>4</sub>ガスにCO<sub>2</sub>レーザー光線を照射する熱圧光CVDで、アモルファスシリコン301を堆積する(第1図の工程(b))。C<sub>2</sub>F<sub>6</sub>、C<sub>2</sub>Cl<sub>4</sub>、F<sub>2</sub>、C<sub>2</sub>等のガスを用いたリアクティブイオンエッチングによる異方性エッチにより、SiO<sub>2</sub>膜表面に堆積している以外のアモルファスシリコンを除去する(第1図の工程(c))。前と同様に、ダメージと汚染層を十分除去した後、シリコン基板表面を十分精浄に洗浄し、(H<sub>2</sub>+SiH<sub>4</sub>+C<sub>2</sub>H<sub>2</sub>+H<sub>2</sub>C<sub>2</sub>)ガス系によりシリコン層の選択成長を行う。数10 Torrの熱圧状態で成長は行い、基板温度は900~1000℃、H<sub>2</sub>C<sub>2</sub>のモル比をある程度以上高い値に設定する。H<sub>2</sub>C<sub>2</sub>の量が少なすぎると選択成長は起こらない。シリコン基板上にはシリコン結晶層が成長するが、SiO<sub>2</sub>膜上のシリコンはH<sub>2</sub>C<sub>2</sub>によってエッチングされてしまうため、SiO<sub>2</sub>膜上にはシリコンは堆積しない(第1図(d))。n<sup>+</sup>層5の厚さはたとえば $3 \sim 5 \mu\text{m}$ 程度である。

不純物濃度は、好ましくは $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度

に設定する。もちろん、この範囲をずれてもよいが、 $p-n$ 接合の拡散電位で完全に空乏化するかもしくはコレクタに動作電圧を印加した状態では、少なくとも $n$ -領域が完全に空乏化するような不純物濃度および厚さに選ぶのが望ましい。

通常入手できるHClガスには大量の水分が含まれているため、シリコン基板表面で常に酸化膜が形成されるというようなことになって、到底高品質のエピタキシャル成長は望めない。水分の多いHClは、ポンプに入っている状態でポンプの材料と反応し鉄分を中心とする重金属を大量に含むことになって、重金属汚染の多いエピ層になり易い。光センサーセルに使用するエピ層は、暗電流成分が少ない程望ましいわけであるから、重金属による汚染は極限まで抑える必要がある。SiH<sub>4</sub>、Cl<sub>2</sub>に超高純度の材料を使用することはもちろんであるが、HClには特に水分の少ない、望ましくは少なくとも水分含有量が0.5ppm以下のものを使用する。もちろん、水分含有量は少ない程よい。エピタキシャル成長層をさらに高品質にするに

は、基板をまず1150~1250℃程度の高温処理で表面近傍から腐食を除去して、その後800℃程度の長時間熱処理により基板内部にマイクロディフェクトを多数発生させ、デモデットゾーンを有するイントリシクゲッターリングの行える基板にしておくこともきわめて有効である。分離領域としてのSiO<sub>2</sub>層4が存在した状態でのエピタキシャル成長を行うわけであるから、SiO<sub>2</sub>からの腐食のとり込みを少なくするため、成長温度は低い程望ましい。通常よく使われる高周波加熱法では、カーボンサセプトからの汚染が多くて、より一層の低料化は難しい。反応室内にカーボンサセプトなど持たないランプ加熱によるウエハ直接加熱法が成長雰囲気をもっともクリーンにできて、高品質エピ層を低料で成長させられる。

反応室におけるウエハ支持具は、より真空度の低い超高純度市販サファイアが適している。原料ガスの予熱が容易に行え、かつ大量のガスが流れている状態でもウエハ前内部温度を均一化し易い、すなわちサーマルストレスがほとんど発生し

ないランプ加熱によるウエハ直接加熱法は、高品質エピ層を得るのに適している。成長時にウエハ表面への紫外線照射は、エピ層の品質をさらに向上させる。

分離領域4となるSiO<sub>2</sub>層の領域にはアモルファスシリコンが堆積している(第16図の工程(c))。アモルファスシリコンは固相成長で単結晶化し易いため、SiO<sub>2</sub>分離領域4との界面近傍の結晶が非常に優れたものになる。高抵抗 $n$ -層5を選択エピタキシャル成長により形成した後(第16図の工程(d))、表面濃度 $1 \sim 20 \times 10^{18} \text{ cm}^{-3}$ 程度の $p$ -領域6を、ドーブトオキサイドからの拡散か、あるいは低ドーズのイオン注入層をソースとした拡散により所定の深さまで形成する。 $p$ -領域6の深さはたとえば0.5~1 $\mu\text{m}$ 程度である。

$p$ -領域6の厚さと不純物濃度は以下のような考えで決定する。感度を上げようとするれば、 $p$ -領域6の不純物濃度を下げて $C_{be}$ を小さくすることが望ましい。 $C_{be}$ は時々次のように与えられる。

$$C_{be} = A e e \left( \frac{q \cdot N}{2 e V_{bi}} \right)$$

ただし、 $V_{bi}$ はエミッタ・ベース間拡散電位であり、

$$V_{bi} = \frac{k \cdot T}{q} \ln \frac{N}{n_i^2}$$

で与えられる。ここで、 $e$ はシリコン結晶の誘電率、 $N$ はエミッタの不純物濃度、 $N$ はベースのエミッタに隣接する部分の不純物密度、 $n_i$ は真性キャリア濃度である。 $N$ を小さくする程 $C_{be}$ は小さくなって、感度は上昇するが、 $N$ をあまり小さくしすぎるとベース領域が動作状態で完全に空乏化してパンチングスルー状態になってしまうため、あまり低くはできない。ベース領域が完全に空乏化してパンチングスルー状態にならない程度に設定する。

その後、シリコン基板表面に(H<sub>2</sub>+O<sub>2</sub>)ガス系スチーム酸化により数10Åから数100Å程度の厚さの熱酸化膜3を、500~900℃程度の温度で形成する。その上に、(SiH<sub>4</sub>+NH<sub>3</sub>)系ガスのCVDで窒化膜(Si<sub>3</sub>N<sub>4</sub>)302を

500 ~ 1500 Å 程度の厚さで形成する。形成温度は 700 ~ 800 °C 程度である。NH<sub>3</sub> ガスも、HCl ガスと並んで通常入手できる製品は、大量に水分を含んでいる。水分の多い NH<sub>3</sub> ガスを原材料に使うと、成膜温度の多い窒化膜となり、再現性に乏しくなると同時に、その後の SiO<sub>2</sub> 膜との選択エッチングで選択比が取れないという結果を招く。NH<sub>3</sub> ガスも、少なくとも水分含有量が 0.5 ppm 以下のものにする。水分含有量は少ない程度ましきことはいまでもない。窒化膜 302 の上にさらに PSG 膜 300 を CVD により堆積する。ガス系は、たとえば、(H<sub>2</sub> + SiH<sub>4</sub> + O<sub>2</sub> + PH<sub>3</sub>) を用いて、300 ~ 450 °C 程度の温度で 2000 ~ 3000 Å 程度の厚さの PSG 膜を CVD により堆積する (第 16 図の工程 (e))。2 度のマスク合せ工程を含むフォトリソグラフィ工程により、n<sup>+</sup>領域 7 上と、リフレッシュ及び読み出しパルス印加電極上に、Asドープのポリシリコン膜 304 を堆積する。この場合 p ドープのポリシリコン膜を使ってもよい。たとえば、2 度のフォトリソグラ

フィー工程により、エミッタ上は、PSG 膜、Si<sub>3</sub>N<sub>4</sub> 膜、SiO<sub>2</sub> 膜をすべて除去し、リフレッシュおよび読み出しパルス印加電極を設ける部分には下地の SiO<sub>2</sub> 膜を残して、PSG 膜と Si<sub>3</sub>N<sub>4</sub> 膜のみエッチングする。その後、Asドープのポリシリコンを、(H<sub>2</sub> + SiH<sub>4</sub> + AsH<sub>3</sub>) もしくは (H<sub>2</sub> + SiH<sub>4</sub> + AsH<sub>3</sub>) ガスで CVD 法により堆積する。堆積温度は 550 °C ~ 700 °C 程度、膜厚は 1000 ~ 2000 Å である。p ドープのポリシリコンを CVD 法で堆積しておいて、その後 As 又は P を拡散してももちろんよい。エミッタとリフレッシュ及び読み出しパルス印加電極上を除いた他の部分のポリシリコン膜をマスク合わせフォトリソグラフィ工程の後エッチングで除去する。さらに、PSG 膜をエッチングすると、リフトオフにより PSG 膜に堆積していたポリシリコンはセルフアライン的に除去されてしまう (第 16 図の工程 (f))。ポリシリコン膜のエッチングは C<sub>2</sub>Cl<sub>2</sub>F<sub>6</sub>、(CBrF<sub>3</sub> + CCl<sub>4</sub>) 等のガス系でエッチングし、Si<sub>3</sub>N<sub>4</sub> 膜は CH<sub>3</sub>

F<sub>3</sub> 等のガスでエッチングする。

次に、PSG 膜 305 を、すでに述べたようなガス系の CVD 法で堆積した後、マスク合わせ工程とエッチング工程とにより、リフレッシュパルス及び読み出しパルス電極用ポリシリコン膜上にコンタクトホールを開ける。こうした状態で、Al、Al-Si、Al-Cu-Si 等の金属を真空蒸着もしくはスパッタによって堆積するか、あるいは

(CH<sub>3</sub>)<sub>2</sub>Al<sub>2</sub> や Al<sub>2</sub>Cl<sub>3</sub> を原材料ガスとするプラズマ CVD 法、あるいはまた上記原材料ガスの Al-C bond や Al-Cl bond を直接光照射により切断する光照射 CVD 法により Al を堆積する。(CH<sub>3</sub>)<sub>2</sub>Al<sub>2</sub> や Al<sub>2</sub>Cl<sub>3</sub> を原材料ガスとして上記のような CVD 法を行う場合には、太陽光に水を流しておく。即ち、かき急峻なコンタクトホールに Al を堆積するには、水分や酸素類のまったくないクリーン窒素雰囲気の中で 300 ~ 400 °C 膜厚に基板温度を上げた CVD 法が優れている。第 1 図に示された金属配線 10 のパターンニングを終えた後、時間絶縁膜 306 を CVD 法で

堆積する。306 は、前述した PSG 膜、あるいは CVD 法 SiO<sub>2</sub> 膜、あるいは耐水性等を考慮しする必要がある場合には、(SiH<sub>4</sub> + NH<sub>3</sub>) ガス系のプラズマ CVD 法によって形成した Si<sub>3</sub>N<sub>4</sub> 膜である。Si<sub>3</sub>N<sub>4</sub> 膜中の水素の含有量を低く抑えるためには、(SiH<sub>4</sub> + H<sub>2</sub>) ガス系でのプラズマ CVD 法を使用する。

プラズマ CVD 法によるダメージを現微させ形成された Si<sub>3</sub>N<sub>4</sub> 膜の電気的性質を大きくし、かつリーク電流を小さくするには光 CVD 法による Si<sub>3</sub>N<sub>4</sub> 膜がすぐれている。光 CVD 法には 2 通りの方法がある。(SiH<sub>4</sub> + NH<sub>3</sub> + He) ガス系で外部から太陽ランプの 2537 Å の紫外線を照射する方法と、(SiH<sub>4</sub> + NH<sub>3</sub>) ガス系に水銀ランプの 1849 Å の紫外線を照射する方法である。いずれも基板温度は 150 ~ 350 °C 程度である。

マスク合わせ工程及びエッチング工程により、エミッタ上のポリシリコンに、絶縁膜 305, 306 を貫通したコンタクトホールをリアクティブイオンエッチで開けた後、前述した方法で Al<sub>2</sub>、Al<sub>2</sub>

-Si, Al-Cu-Si等の金属を堆積する。この場合には、コンタクトホールのアスペクト比が大きいため、CVD法による堆積の方がすぐれている。第1図における金属配線8のパターニングを終えた後、最終パッシベーション膜としてのSi<sub>3</sub>N<sub>4</sub>膜あるいはPSG膜2をCVD法により堆積する(第1図(e))。

この場合も、光CVD法による膜がすぐれている。12は上面のAl-Al-Si等による金属電極である。

本発明の光電変換装置の製法には、実に多彩な工程があり、第16図はほんの一例を述べたに過ぎない。

本発明の光電変換装置の重要な点は、p領域6とn<sup>-</sup>領域5の間及びp領域6とn<sup>+</sup>領域7の間のリーク電流を如何に小さく抑えるかにある。n<sup>-</sup>領域5の品質を良好にして暗電流を少なくすることはもちろんであるが、酸化膜などよりなる分離領域4とn<sup>-</sup>領域5の界面こそが問題である。第16図では、そのために、あらかじめ分離

領域4の側壁にアモルファスSiを堆積しておいてエピ成長を行う方法を説明した。この場合には、エピ成長中に基板Siからの固相成長でアモルファスSiは単結晶化されるわけである。エピ成長は、850°~1000°程度と比較的高い温度で行われる。そのため、基板Siからの固相成長によりアモルファスSiが単結晶化される前に、アモルファスSi中に原結晶が成長し始めてしまうことが多く、結晶性を悪くする原因になる。温度が低い方が、固相成長する速度がアモルファスSi中に原結晶が成長し始める速度より相対的にずっと大きくなるから、選択エピタキシャル成長を行う前に、550°で~700°程度の低熱処理で、アモルファスSiを単結晶しておく、界面の特性は改善される。この時、基板SiとアモルファスSiの間に酸化膜等の層があると固相成長の開始が遅れるため、両者の境界にはそうした層が含まれないような超高真空プロセスが必要である。

アモルファスSiの固相成長には上述したファナス成長の他に、基板をある程度の温度に保って

おいて、フラッシュランプ加熱あるいは赤外線ランプによる、たとえば数秒から数10秒程度のラビッドアニール技術も有効である。こうした技術を使う時には、SiO<sub>2</sub>層側壁に堆積するSiは、多結晶でもよい。ただし、非常にクリーンなプロセスで堆積し、多結晶体の結晶粒界に微細な炭素等の含まれない多結晶Siにしておく必要がある。

こうしたSiO<sub>2</sub>層側のSiが単結晶化された後、Siの選択成長を行うことになる。

SiO<sub>2</sub>、分離領域4と高抵抗n<sup>-</sup>領域5界面のリーク電流がどうしても問題になる時は、高抵抗n<sup>-</sup>領域5のSiO<sub>2</sub>、分離領域4に隣接する部分だけ、n形の不純物濃度を高くしておくことこのリーク電流の問題はさけられる。たとえば、分離SiO<sub>2</sub>、領域4に隣接するn<sup>-</sup>領域5の0.3~1μm程度の厚さの領域だけ、たとえば1~10×10<sup>18</sup>cm<sup>-3</sup>程度にn形の不純物濃度を高くするのである。この構造は比較的容易に形成できる。基板1上に例えば1μm程度の熱酸化膜を形成した後、その上にCVD法で堆積するSiO<sub>2</sub>、膜をまず所望の厚さだけ、所

定の量のPを含んだSiO<sub>2</sub>、膜にしておく。さらにその上にSiO<sub>2</sub>、をCVD法で堆積するということで分離領域4を作っておく。その後の材料プロセスで分離領域4中にサンドイッチ状に存在する構造を含んだSiO<sub>2</sub>、膜から、高抵抗n<sup>-</sup>領域5中に拡散して、界面がもっとも不純物濃度が高いという良好な不純物分布を作る。

すなわち、第17図のような構造に形成するわけである。分離領域4が、3層構造に形成されていて、300は熱酸化膜SiO<sub>2</sub>、。309は構造を含んだCVD法SiO<sub>2</sub>、膜、301はCVD法SiO<sub>2</sub>、膜である。分離領域4に隣接して、n<sup>-</sup>領域5中との間に、n領域307が、構造を含んだSiO<sub>2</sub>、膜309からの拡散で形成される。307はセル周辺全部に形成されている。この構造にすると、ベース・コレクタ間容量C<sub>bc</sub>は大きくなるが、ベース・コレクタ間リーク電流は微減する。

第16図では、あらかじめ分離用絶縁領域4を作っておいて、選択エピタキシャル成長を行う例について説明したが、基板上に必要な高抵抗

$n^+$  層のエピタキシャル成長をしておいてから、分離領域となるべき部分をリアクティブイオンエッチングによりメッシュ状に切り込んで分離領域を形成する。Uグループ分離技術 (A. Hayasaka et al, "U-groove isolation technique for high speed bipolar VLSI's", Tech. Dig. of IEUM, P.82, 1982, 参照) を使って行うこともできる。

本発明に係る光電変換装置は、絶縁物より構成される分離領域に取り囲まれた領域に、その大部分の領域が半導体ウエハ表面に露出するベース領域が浮遊状態になされたバイポーラトランジスタを形成し、浮遊状態になされたベース領域の電位を隣り接する絶縁層を介して前記ベース領域の一部に設けた電極により制御することによって、光信号を光電変換する装置である。高不純物密度領域よりなるエミッタ領域が、ベース領域の一部に設けられており、このエミッタは水平スキャンパルスにより動作するMOSトランジスタに接続されている。前述した、浮遊ベース領域の一部に付いた絶縁層を介して設けられた電極は、水平ラインに接続されている。ウエハ内部に設けられるコレクタは、基板上に形成されることもあるし、目的によっては反対導電型高抵抗基板に、水平ラインごとに分断された高抵抗不純物埋込み領域で形成される場合もある。絶縁層を介して設けられた電極で、浮遊ベース領域のリフレッシュを行なう時のパルス電圧に対して、信号を送出す時の印加パ

ルス電圧は実質的に大きい。実際に、2種類の電圧を持つパルス列を用いてもよいし、ダブルキャパシタ構造で説明したように、リフレッシュ用MOSキャパシタ電極の容量 $C_{os}$ にくらべて読出し用MOSキャパシタ電極の容量 $C_{os}$ を大きくしておいてもよい。リフレッシュパルス印加により、逆バイアス状態になされた浮遊ベース領域に光励起されたキャリアを蓄積して光信号に基ずいた信号を記憶させ、該信号読出し時には、ベース・エミッタ間が順方向に強くバイアスされるように読出し用パルス電圧を印加して、高速度で信号を送出せるようにしたことが特徴である。こうした特徴を備えていれば、本発明の光電変換装置はいかなる構造で実現してもよく、前記の実施例に述べられた構造に限定されないことはもちろんである。

たとえば、前記の実施例で説明した構造と導電型がまったく反転した構造でも、もちろん同様である。ただし、この時には印加電圧の極性を完全に反転する必要がある。導電型がまったく反転し

た構造では、領域は $n$ 型になる。すなわち、ベースを形成する不純物はAsやPになる。AsやPを含む領域の表面を酸化すると、AsやPは $Si/SiO_2$ 界面の $Si$ 側にバイルアップする。すなわち、ベース内部に表面から内部に向う強いドリフト電界が生じて、光励起されたホールはただちにベースからコレクタ側に抜け、ベースにはエレクトロンが効率よく蓄積される。

ベースが $p$ 型の場合には、通常使われる不純物はボロンである。ボロンを含む $p$ 領域表面を熱酸化すると、ボロンは酸化膜中に取り込まれるため、 $Si/SiO_2$ 界面近傍の $Si$ 中におけるボロン濃度はやや内部のボロン濃度より低くなる。この低さは、酸化膜厚にもよるが、通常約100 Åである。この界面近傍には、エレクトロンに対する逆ドリフト電界が生じ、この領域に光励起されたエレクトロンは、表面に集められる傾向にある。このままだと、この逆ドリフト電界を生じている領域は不感領域になるが、表面に集った一部に $n^+$ 領域が、本発明の光電変換装置では存在している

ため、 $p$ 領域の $Si/SiO_2$ 界面に集まったエレクトロンは、この $n^+$ 領域に再結合される前に流れ込む。そのために、たとえボロンが $Si/SiO_2$ 界面近傍で減少していても、速ドリフト電界が生じるような領域が存在しても、ほとんど不感領域にはならない。むしろ、こうした領域が $Si/SiO_2$ 界面に存在すると、希釈されたホールを $Si/SiO_2$ 界面から引き離して内部に存在させるようにするために、ホールが界面で捕獲する効果がなくなり、 $p$ 層のベースにおけるホール蓄積効果が良好となり、きわめて望ましい。

以上説明してきたように、本発明に光電変換装置は、浮遊状態になされた制御電極領域であるベース領域に光により励起されたキャリアを蓄積するものである。すなわち、Base Store Image Sensorと呼ばれるべき装置であり、BASISと略称する。

本発明の光電変換装置は、1個のトランジスタで1画素を構成できるため高密度化がきわめて容易であり、同時にその構造からブルーミング、ス

ミアが少なく、かつ高感度である。そのダイナミックレンジは広く取れ、内部増幅機能をもつため配線容量によらず大きな信号電圧を発生するため低雑音でかつ周辺回路が容易になるという特徴を有している。例えば従来の高品質固体撮像装置として、その工賃的価額はきわめて高い。

なお、本発明に係る光電変換装置は以上述べた固体撮像装置の外に、たとえば、画像入力装置、ファクシミリ、ワークステーション、デジタル複写機、ワープロ等の画像入力装置、OCR、バーコード読取り装置、カメラ、ビデオカメラ、8ミリカメラ等のオートフォーカス用の光電変換装置や検出装置等にも応用できる。

複数の制御電極をもつ第1図に示した実施例よりも、さらに感度の良い光電変換装置について以下に図面を用いて説明する。

第18図に一つの実施例を示す。第18図(a)は複数の制御電極をもつ基本光センサー・セルを2次元的に多数配列するときの平面図の一部を、第18図(b)は(a)図におけるA-A'断面の断面図を、第18図(c)は、基本光センサー・セルの回路構成を、第18図(d)は、(b)図におけるB-B'断面方向の内部ポテンシャル状態の一例について、それぞれ示している。

第1図に示した実施例においては、 $n$ 基板1の上に高抵抗 $n^-$ 領域5、 $p$ 領域6、 $n^+$ 領域7が形成され、 $n^+pn^-n$ 構造のフォト・トランジスタとなっていたが、第18図に示す実施例においては、それらが $p^+$ 領域350の上に形成され、第1図に示した実施例における基板の $n$ 領域が $n^-$ 領域351となっている所が異なっている。

この第18図に示す実施例では、 $n^+$ 領域7、 $p$ 領域6、 $n^-$ 領域5、 $n^+$ 領域351より構成され

る第1のフォト・トランジスタに、 $p$ 領域6、 $n^-$ 領域5、 $n^+$ 領域351、 $p^+$ 領域350より構成される第2のフォト・トランジスタが重複して作成され、サイリスタ構造を成している。このため、半導体表面から内部へ方向を横軸にとったときのエレクトロンに対する内部ポテンシャル状態は第18図(d)の様になり、この様に、基板の $p^+$ 領域350が、基板の裏面の配線12を通して正電位にバイアスされている状態で、光が入射すると、光励起により半導体内部で発生したキャリアのうち、ホールは第1図の実施例で説明した様に、第1のフォト・トランジスタの $p^+$ 領域、すなわちベース領域6に蓄積される。この時、前の実施例ではエレクトロンは高抵抗領域である $n^-$ 領域5に発生している電界により加速されて、コレクタである基板1に流れだしてしまっていたが、第18図に示す実施例では基板 $p^+$ 領域350の所にエレクトロンに対するポテンシャルの井戸となる $n^+$ 領域が存在する。つまり、この $n^+$ 領域は第2のフォト・トランジスタのベース領域となっており、ここに、

光励起により発生したエレクトロンが蓄積されることになる。

CCD 型撮像素子あるいは MOS 型撮像素子においては、光励起により発生したキャリアのうちエレクトロンを、その主電極に蓄積しており、また第 1 図に示した実施例においては、制御電極領域にホールを蓄積するという様に、光励起により発生したエレクトロン・ホール対のうち片方のキャリアだけを利用してしたが、第 18 図に示す実施例においては、制御電極領域を 2 つもうけ、第 1 のフォト・トランジスタの制御電極領域にホールを、第 2 のフォト・トランジスタの制御電極領域にエレクトロンをそれぞれ蓄積し、光励起により発生した両方のキャリアを利用することにより高感度化を達成している。くわしい動作については後述する。

第 18 図に示す基本センサー・セルには、第 1 図に示した実施例と異なり、さらに、各光センサー・セルにリフレッシュ用の p-MOS トランジスタが追加されている。すなわち、第 1 のフォト・

トランジスタのベース領域 6、チャネル・ドープされた n 領域 353、新しく形成された p 領域 354、ゲート絶縁膜 3、ゲート電極 352 からそれぞれ形成される p-MOS トランジスタであり、これはリフレッシュ時に導通状態にされ、ベース領域 6 に蓄積されたホールを引きぬく動作をする。配線 355 は、この p-MOS トランジスタのドレイン領域である p 領域 354 にコンタクト孔 359 を介して、負電源に接続するためのものである。また、ゲート電極 352 は、ベース領域 6 の上に大きく広がり、ここに MOS キャパシタを形成しており、第 1 図の実施例で示した様に、脱出し時にベース領域 6 の電位を変化させる様になっている。

第 2 のフォト・トランジスタのベース領域 351 は量子分離領域 4 に接して半導体表面まで露出しており、このベース領域 351 の上には第 1 のフォト・トランジスタのベース領域と同様に、絶縁膜 3、電極 356 と MOS キャパシタが形成され、第 2 のフォト・トランジスタのベース領域の電位も、この MOS キャパシタを介して変化

される様になっている。配線 357 は、この MOS キャパシタ電極にパルスを供給するためのものであり、また配線 358 はゲートおよび MOS キャパシタにパルスを供給するためのものである。

第 1 のフォト・トランジスタのエミッタ領域 7 および配線 8 は第 1 図の実施例とまったく同じである。

第 18 図 (a) は以上説明した光センサー・セルの回路構成図である。トランジスタ 360 は、n<sup>+</sup> 領域 7、p 領域 6、n<sup>-</sup> 領域 5、n<sup>+</sup> 領域 351 より成る第 1 のフォト・トランジスタを、トランジスタ 361 は、p 領域 6、n<sup>-</sup> 領域 5、n<sup>+</sup> 領域 351、p<sup>+</sup> 領域 350 より成る第 2 のフォト・トランジスタを、MOS トランジスタ 362 は、p 領域 6、n 領域 353、p 領域 354、ゲート絶縁膜 3、ゲート電極 352 より成る p チャネル MOS トランジスタを、コンデンサ 363 は、p 領域 6、絶縁膜 3、電極 352 よりなる MOS キャパシタを、コンデンサ 364 は、n<sup>+</sup> 領域 351、絶縁膜 3、電極 356 より成る MOS キャパシタをそれぞれ示

している。

以下に、この基本光センサー・セルの動作を、第 19 図に示す 2 次的に光センサー・セルを配列した回路構成図、および第 20 図に示すパルス波形および内部ポテンシャル図を用いて、くわしく説明する。

第 19 図は、第 18 図 (a) に示した基本光センサー・セルを 2×2 に配列したものであり、垂直シフト・レジスタ、水平シフト・レジスタ、出力アンプ、垂直ライン・リフレッシュ用 MOS トランジスタ、垂直ライン読取用 MOS トランジスタ等が、第 7 図と同様、この周辺に附加されるが図では省略している。すでに説明した様に、MOS キャパシタ 363 と p-MOS トランジスタ 362 のゲートは共通に接続され、水平ライン 358 を介してパルスを印加するように形成されているが、これは別々に配線を付けて印加することも可能である。第 20 図において、波形 A は水平ライン 357 に印加されるパルス波形であり、また波形 B は水平ライン 358 に印加されるパルス波形で



ある。波形Cは垂直ライン8の電位を示す波形であり、時刻 $t_1$ までは図には示していないが垂直ラインに接続されたMOSトランジスタが導通状態にされ、接点電位を保ち時刻 $t_1$ からは浮遊状態になされ、各光センサー・セルのエミッタ領域からの信号出力が出力される状態になっていることを示している。但し、時刻 $t_1$ までは各センサー・セルのエミッタ領域を接点することは、この第18図の構成では、pMOSトランジスタ362を用いてリフレッシュするので特に必須条件ではなく、浮遊状態になされていても動作上、何ら不都合ではない。

以下、パルス波形と内部ポテンシャル図を用いて時刻毎に、その動作を説明する。このとき、第2のフォト・トランジスタのエミッタ領域は、基板表面の電極12を通して正電極に接続されているものとする。図20図のパルス波形のうち、時刻 $t_1$ から時刻 $t_2$ まではリフレッシュ動作に、時刻 $t_2$ から時刻 $t_3$ までは、光励起されたキャリアの蓄積動作に、時刻 $t_3$ から時刻 $t_4$ までは、

読出し動作にそれぞれ対応している。

時刻 $t_1$ は読出し動作が終了した時点であり、内部ポテンシャルの時刻 $t_1$ における図のごとく、p領域、すなわち第1のベース領域には、光の強さに応じてホールが、また $n^+$ 領域すなわち第2のベース領域には光の強さに応じた電子が、それぞれ蓄積されている。時刻 $t_2$ においては、波形Bのごとく、水平ライン358を通して負のパルスがリフレッシュ用pMOSトランジスタ362のゲートにかかり、pMOSトランジスタは導通状態にされている。したがって第1のベース領域に蓄積されていたホールは流れだしてしまい時刻 $t_2$ の内部ポテンシャル図にあるごとく第1のベース領域は、配線355を介して供給している負電圧になされる。この時、同時にMOSキャパシタ363を介して第1のベース領域に負パルスが、供給されるが、pMOSトランジスタ362が導通状態になされているので、何ら影響はおよぼさない。

また時刻 $t_3$ においては、波形Aのごとく水平ライン357およびMOSキャパシタ364を介し

て第2のフォト・トランジスタのベース領域に、リフレッシュ・パルスが印加される。このときの印加される電圧と、第2のベース領域にかかる電圧関係およびリフレッシュ動作はすでに第1図の実施例において、リフレッシュ動作として説明したものと、まったく同等である。すなわち時刻 $t_1$ における内部ポテンシャル図の様に、パルスが印加されると同時に、エミッタ領域350に対してベース領域351が逆方向バイアスされたものが、時間がたつにつれ矢印のごとくビルト・イン・ボルテージに次第になっていくことになる。但し、この第2のフォト・トランジスタにおいては、第18図(b)の断面図の様に、第2のフォト・トランジスタのベース領域351とエミッタ領域350の接点面積が、さきめて大きいために、第1図に示した実施例の時よりも、高速にリフレッシュ動作がなされる。

次いで、第2のベース領域に印加されていた電圧が接点電位にもどる時に、第2のベース領域の電位は、エミッタ領域に対して逆バイアス状態に

される。これもすでに説明、リフレッシュ動作とまったく同等である。

時刻 $t_4$ から時刻 $t_5$ までは、光励起により発生したキャリアの蓄積期間であり、すでに説明したごとく、光励起により発生したキャリアの内、ホールは、第1のフォト・トランジスタのベース領域に蓄積され、電子は第2のフォト・トランジスタのベース領域に蓄積される。このときの両者に蓄積される電荷量は、第1のフォト・トランジスタのエミッタ領域に、ける電子、またわずかにあるが常抵抗領域中を走行するときに再結合により消滅する電子等を無視すれば、ほぼ等量で、それぞれのベース領域に蓄積されることになる。また、この時に各ベース領域において発生する誘起電圧は、それぞれのフォト・トランジスタのベース・エミッタ間容量およびベース・コレクタ間容量の加算した値で、蓄積された電荷量を持った状態になることは、すでに第1図に示す実施例において説明したのと同様である。この様に、第18図に示す、光センサー

セルでは制御電極であるベース領域が複数存在しているが、一つしかないものと、まったく同様に電子とホールとのどちらがあるものの成立して考えることが可能である。

時刻 $t_1$ における内部ポテンシャル図はそれぞれのベース領域に、光励起によるキャリアが蓄積されている状態を示している。この時刻 $t_1$ では波形Cのごとく、第1のフォト・トランジスタのエミッタ領域は浮遊状態になされ、次の信号の脱出し状態に入る。

まず、時刻 $t_1$ において、波形Aに示すごとく第2のフォト・トランジスタのベースには、水平ライン357およびMOSキャパシタ364を介してパルスが印加されるので時刻 $t_1$ の内部ポテンシャル図のごとく、順方向バイアスされ、光強度に応じて蓄積された電圧に比例して第2のフォト・トランジスタのエミッタ領域から矢印のごとく、ホールが第1のフォト・トランジスタのベース領域に注入されることになる。これにより第1のベース領域には、光励起により発生したホール

に、第2のベース領域に蓄積した電子に比例したホールが加算されることになり、この第2のフォト・トランジスタのエミッタ領域から注入されるホールの数は、第2のベース領域が順方向バイアスにされている時間に依存することから、ここで、望むゲインを制御することが可能である。また、このときの第2のベースの順方向バイアス量および時間は、注入されるホールの数の直線性を確保するため最適の値に制御される、このときの考え方はすでに第1図の実施例で説明したのと、まったく同様である。時刻 $t_1$ では第2のベースに印加されている電圧がもとにもった状態であり、時刻 $t_1$ の内部ポテンシャル図にあるごとく第2のベース領域は、パルスが印加される前の、第2のエミッタに対する逆バイアス状態にもどることになり、ここでホールの注入は停止する。

時刻 $t_2$ では、波形Bに示されのごとく、水平ライン358およびMOSキャパシタ363を介して電圧が印加され、第1のベース領域は第1のエミッタに対して順方向バイアスされる。このパル

ス波形は正のパルスでありMOSキャパシタ363と並列に接続されたp-MOSトランジスタのゲート電極にも電圧が印加されることになるが、正電圧のためp-MOSトランジスタは導通状態にはならず何ら不都合な動作は生じない。

第1のベース領域が順方向バイアスされると第1のエミッタ領域は浮遊状態にされているので、ここから電子の注入が起り、エミッタ領域の電位は変化して第1のベース領域に蓄積された信号電圧が、 $\psi$ 出されることになる。この動作は第1図に示した実施例で説明したのとまったく同じである。但し、この第18図で示した実施例では第1のエミッタ領域から注入された電子が第2のベース領域に蓄積され、この電荷量が多いと、一部サイリスタ動作が発生し、さらにゲインが増加するという現象がおこるが、これは信号出力に非直線性を与える原因となるので、サイリスタ動作が発生しない様に各バイアス条件が設定される。特に直線性を要求しない応用に対しては、このサイリスタ動作により、ゲインを増

加させるのは望ましいことである。

脱出しが完了した時刻 $t_2$ ではMOSキャパシタ364を介して第1のベース領域に印加されていた電圧がとりのぞかれるので、時刻 $t_2$ の内部ポテンシャル図のごとく、第1のベース領域は、第1のエミッタ領域に対してパルス印加前と同じ逆バイアス状態にもどりエミッタ領域からの電子の注入は停止する。この状態では各信号出力は垂直ライン上に、脱出されているわけであり、後は第7図を用いて説明したごとく水平シフトレジスタが動作を開始し、各垂直ラインが選択されて出力アンプを通して、外部に信号が出力されることになる。第18図に示す構造では、時刻 $t_1$ において第1のベースにホールを注入する時、

p-MOSトランジスタのp領域354は負電極に接続されているので、ホールの一部は、このp領域に注入される現象が生ずる。このp領域354を小さく形成していればこの量はそれほど大きな量ではないが、さらに、これを減少させるのには、このp-MOSトランジスタを素子分離領域の上にSOI

(Silicon On Insulator) 技術を用いて形成することにより解決することができる。また波形 A および波形 B のパルス電圧値は第 1 図の実施例において説明したごとくリフレッシュ動作脱出し動作では、それぞれ最適の値に設定される。

以上、説明したごとく、第 18 図に示す実施例では、光励起により発生した電子とホール両方のキャリアを縦線の制御電極領域に、蓄積しそれぞれからゲインを増加させながら脱出す方式をとっているためきわめて高感度の光電変換装置を提供することができる。

第 21 図に、第 18 図に示した縦線の制御電極領域をもつ構造の他の実施例を示す。第 18 図における実施例では、第 1 のフォト・トランジスタのベース領域を p-MOS トランジスタを用いてリフレッシュしていたが、第 21 図に示す実施例では、第 2 のフォト・トランジスタのベース領域を n-MOS トランジスタを用いてリフレッシュする構成となっている。第 21 図(a)は、基本光センサーセルを 2 次元的に配列したものの平面図の一部を、

第 21 図(b)は、(a)図の A-A' 断面の半導体内部の断面図を、第 21 図(c)は基本光センサーセルの価電図をそれぞれ示している。

第 21 図に於いて、n-MOS トランジスタは、SOI 技術を利用して、素子分離領域 4 の上に、スパッタ等を用いて形成したアモルファス・シリコンもしくは CVD により堆積されたポリシリコンをレーザー・ビーム・アニールあるいは電子線アニール等により再結晶化したシリコン基板中に形成される。この n-MOS トランジスタは n<sup>+</sup>領域 365、および n<sup>+</sup>領域 367、チャネル・ドープされた p 領域 366、ゲート絶縁膜 3、ゲート電極 368 より形成されており、n<sup>+</sup>領域 365 は、第 2 のフォト・トランジスタのベース領域である n<sup>+</sup>領域 351 と接続され、もう一方の n<sup>+</sup>領域 367 は、コンタクト孔 371 を介して配線 370 と接続され、正電圧電源から正電圧が供給される側になされている。またゲート電極 368 は、n<sup>+</sup>領域 365 の上にもかかっており、この部分で MOS キャパシタを形成している。このゲート電極 368 には、

水平ライン 370 を介してパルスが印加される側になされている。

第 1 のフォト・トランジスタのベース領域のリフレッシュ、および脱出し時に、ベース領域にパルス電圧を印加するための電極の、絶縁膜 3、ベース領域 6 から成る MOS キャパシタ、第 1 のフォト・トランジスタのエミッタ領域 7、およびこれより信号をとりだす垂直ライン 8、垂直ラインとエミッタ領域 7 を接続するためのコンタクト孔 19、等々は第 1 図あるいは、第 18 図に示したものと同等である。

また図では示されていないが、p 領域、すなわち n-MOS トランジスタのチャネル領域 366 は、n<sup>+</sup>領域すなわちソース領域 365 と接続されている。

第 21 図(c)は、基本光センサー・セルの等価回路であり、n<sup>+</sup>領域 7、p 領域 6、n<sup>-</sup>領域 5、n<sup>+</sup>領域 351 より成る、第 1 のフォト・トランジスタ 372、p 領域 6、n<sup>-</sup>領域 5、n<sup>+</sup>領域 351、p<sup>+</sup>領域 350 より成る、第 2 のフォト・トランジ

スタ 373、電極 9、絶縁膜 3、p 領域 6 より成る MOS キャパシタ 374、電極 368、絶縁膜 3、n<sup>+</sup>領域 365 より成る MOS キャパシタ 375、n<sup>+</sup>領域 365、p 領域 366、n<sup>+</sup>領域 367、ゲート絶縁膜 3、ゲート電極 368 より成る n-MOS トランジスタ 376 よりそれぞれ形成されている。

第 22 図は、第 21 図に示した基本光センサー・セルを 2×2 に配列したものの回路構成図であり、垂直シフト・レジスタ、水平シフト・レジスタ、出力アンプ、垂直ラインリフレッシュ用 MOS トランジスタ、垂直ライン選択用 MOS トランジスタ等が、第 22 図で示した回路図の周辺に追加されるが、これは本質的には第 7 図に示したものと同じであり、この図では省略している。

この基本光センサーセルの動作および第 22 図に示す光電変換回路の動作を、第 23 図に示すパルス波形および内部ポテンシャル図を用いて、以下に、くわしく説明する。

第 23 図に於いて、波形 A は、水平ライン 370

に印加されるパルス波形であり、また波形Bは水平ライン10に印加されるパルス波形である。波形Cは、垂直ライン8の電位を示す波形であり、時刻 $t_1$ までは、図には示していないが垂直ラインに接続された、垂直ラインの電荷をリフレッシュするためのMOSトランジスタが導通状態になされ、接地電位を保ち、時刻 $t_1$ からは浮遊状態になされ、各センサ・セルのエミッタ領域からの信号が出力される状態になっていることを示している。

以下、パルス波形と内部ポテンシャル図を用いて、時刻毎に、順をおって動作を説明する。第23図に示すパルス波形のうち、時刻 $t_1$ からは、まずはリフレッシュ動作に、時刻 $t_2$ から時刻 $t_3$ までは、光励起されたキャリアの蓄積動作、時刻 $t_4$ から時刻 $t_5$ までは、信号の読出し動作に、それぞれ対応している。時刻 $t_1$ において、波形Aのごとく、水平ライン370を通して負のパルスが印加され、MOSキャパシタ375を通して第2のフォト・トランジスタのベース領域に負電圧

が印加されると、時刻 $t_1$ に示す内部ポテンシャル図のごとく、第2のフォト・トランジスタのエミッタ領域に対してベース領域が順方向バイアスされるので、エミッタ領域からはホールが注入され、第1のフォト・トランジスタのベース領域の電位を正方向に向かって変化させる動作をする。この時、第2のベース電位は時間経過と共に、順方向バイアス状態から次第にビルト・イン・ボルテージに近づいていくことは、前に説明したのと、まったく同様の動作である。この時点において、第1のベースにホールを注入して、電位を正電位方向に変化させるのは、すでに第1図の実施例において説明した過渡的リフレッシュを、より確実に動作させるためである。

この負のパルスの印加時にはMOSキャパシタ375とn-MOSトランジスタ376のゲートは共通接続されているので、n-MOSトランジスタ376にも負のパルスが印加されるが、n-MOSトランジスタは導通状態にはならず、特に不都合は生じない。

次いで時刻 $t_2$ は、負のパルスが、接地電位にもどった時点になるが、ここで、第2のベースは負の電位から接地電位になる瞬間において、時刻 $t_2$ の内部ポテンシャル図のごとく、第2のベースは、第2のエミッタに対して、逆方向バイアス状態になり、第2のエミッタからのホールの注入は停止する。

時刻 $t_3$ では、波形Aのごとく、配線370を通してn-MOSトランジスタ376のゲートに正のパルスが印加され、導通状態になり、このため、第2のベースは、垂直ライン369より供給されている正電圧電源の電位に等しくされる。このときMOSキャパシタ375にも、共通に正のパルスが印加されるが、特に不都合な現象は生じない。また時刻 $t_4$ では波形Bに示すごとく、配線10およびMOSキャパシタ374を通して第1のベースに正電圧が印加される。この時、時刻 $t_4$ の内部ポテンシャル図に示すごとく、第1のベースは第1のエミッタに対して順方向バイアスされ、この第1のベースよりホールが流出するため、次第

にビルト・イン・ボルテージに向かって電位は正電位方向に変化していく。これは、すでに第1図の実施例において、そのリフレッシュ動作を説明した時とまったく同様の動作であり、完全リフレッシュ・モードあるいは、過渡的リフレッシュ・モードがその応用に応じて使われる。この時、すでに説明したごとく、第2のベースは正電位にn-MOSトランジスタ376を介して接続されているため、通常のバイポーラ動作をしていることになる。

時刻 $t_5$ では、それぞれのパルスは、接地電位にもどり、時刻 $t_5$ の内部ポテンシャル図に示すごとく、第1のベースおよび第2のベースはそれぞれのエミッタに対して逆バイアス状態になり、光励起によるキャリアの蓄積動作に入る。

時刻 $t_6$ から時刻 $t_7$ までは、光励起により発生したキャリアの蓄積期間であり、光励起により発生したキャリアの内、ホールは第1のベース領域に蓄積され、エレクトロンは第2のベース領域に蓄積される動作は、第18図に示した実施例と

まったく同様である。

時刻 $t_1$ における内部ポテンシャル図は、それぞれのベース領域に、光励起によるキャリアが蓄積されている状態を示している。この時刻 $t_1$ では波形Cのごとく第1のフォト・トランジスタのエミッタ領域は、垂直ラインに接続されたMOSトランジスタが非導通状態にされ、浮遊状態にされ、次の信号の脱出し状態に入る。まず、時刻 $t_1$ では、波形Aのごとく、第2のフォト・トランジスタのベース領域には、水平ライン370およびMOSキャパシタ375を通して負のバルスが印加されるので、時刻 $t_1$ の内部ポテンシャル図に示すごとく、第2のベースは第2のエミッタに対して順方向バイアス状態にされ、光強度に応じて蓄積された電圧に比例して、第2のエミッタ領域から、ホールが注入され、図示した矢印のごとく第1のベース領域に、光励起により発生したホール以外に、ホールが蓄積されることになる。これは、第18図の実施例において説明したのと同様である。

以上説明したごとく、本実施例によれば、第18図に示した実施例とは異なり、脱出し時におけるサイリスタ動作を、まったく気にすることなく第1図に示した実施例の様な動作が可能であり、しかも第18図に示した実施例のごとく、きわめて高感度な光電変換装置を提供することができる。次に、第24図に、第1のフォト・トランジスタのベース領域に第18図で示したリフレッシュ用のp-MOSトランジスタを附加し、かつ第2のフォト・トランジスタのベース領域にリフレッシュ用のn-MOSトランジスタを附加した実施例の基本光センサー・セルの等価回路を示す。

第18図および第21図に示した線を平面図および、断面図は、第24図に示す実施例では、両者を複合した様な構造のため、省略する。第25図に、2×2配列した回路構成図を示す。ここては前と同様周辺回路を省略している。

第26図に各ラインに印加する波形および、内部ポテンシャル図をそれぞれ示す。第26図において波形Aは水平ライン377を通してp-MOS

時刻 $t_1$ では、波形Aのごとく、水平ライン370を通してn-MOSトランジスタ376のゲートに正電圧が印加され、導通状態にされている。このため、第2のベースは、n-MOSトランジスタ376および垂直ライン369を通して正電圧に接続されるため第1のフォト・トランジスタは、第1図の実施例で示した通常のバイポーラトランジスタ動作とまったく同じになり、時刻 $t_1$ において、波形Bのごとく、水平ライン10、MOSキャパシタ374を通して第1のベース領域に正電圧を印加して信号脱出し動作も、第1図で示した実施例とまったく同様なので説明を省略する。時刻 $t_1$ における内部ポテンシャル図も第1図に示した実施例と同じなので説明を省略する。

キャパシタ381のゲートおよびMOSキャパシタ382に印加するバルス波形であり、波形Bは、水平ライン378を通してn-MOSキャパシタ385のゲートおよびMOSキャパシタ386に印加するバルス波形であり、また波形Cは前の実施例と同様、垂直ライン8の電位状態を示す波形である。

また、この時、第25図に示す垂直ライン379は負電圧に、垂直ライン380は正電圧にそれぞれ接続されているものとする。

この第24、25図に示す実施例では、脱出し動作である時刻 $t_1$ から時刻 $t_2$ までは第21図に示した実施例とまったく同様である。前の2つの実施例と異なる点は、リフレッシュ動作であり時刻 $t_2$ においてp-MOSトランジスタ381およびn-MOSトランジスタ385が同時に導通状態にされ、第1のベースからはホールが、第2のベースからはエレクトロンがそれぞれ脱出し、きわめて簡単にリフレッシュ動作が完了するわけである。

したがって波形Cでは、第1のフォト・トランジスタのエミッタ領域はリフレッシュ状態で接地

状態になされているが、このリフレッシュ動作においては、製造に必要はまったくなく、どの様な状態でも良いことは明らかである。

以上、説明したごとく第18図、第21図、第24図に示した実施例は、反対導電型領域より成る2つの主電極領域と、これら主電極領域とはそれぞれ反対導電型領域より成る2つの制御電極領域それぞれの主電極領域に隣接して設けたサイリスタ構造の光センサー・セルにおいて、光励起により発生したエレクトロンホール対のうち、ホールを第1の制御電極領域に、エレクトロンを第2の制御電極領域に蓄積するものであり、従来、光励起により発生したキャリアのうち片一方だけを利用していたのに比して大きな特徴を有し、きわめて高感度な光電変換装置を提供している。

この様に、本発明による光電変換装置では、2つの制御電極領域をもち、かつそれぞれにキャリアを蓄積することから Double Base Stove Image Sensor の図文字をとり、D・BASIS と呼んでいる。

実際には、この表面上にアモルファスシリコンが積まれるわけである。その様子、(b)図に示されている。402は、その動作状態で、完全に空乏層になるべく低不純物密度になされた高抵抗領域である。基本的には、 $n^-$ でも $p^-$ でも1領域でもよい。この事は、これまで述べてきたすべての実施例に対して適用できることである。 $n$ 領域403、 $p^+$ 領域404は受光用トランジスタのベース領域及びエミッタ領域である。 $n$ ベース領域は浮遊状態になされており、その電位制御は電極407、 $SiO_2$ 等の絶縁層406及び $n$ ベース領域404より形成されるMOSキャパシタで行なわれる。 $p^+$ 領域404の不純物濃度は通常 $1 \times 10^{20} cm^{-3}$ 程度、もしくはそれ以上に設定される。 $n$ ベース領域403の不純物濃度は $1 \sim 50 \times 10^{17} cm^{-3}$ 程度になされ、動作状態でパンチスルーしないように設定される。高抵抗領域402の厚さは、所望の受光感度スペクトル分布を持つように決定される。405は、受光トランジスタの分離用絶縁物領域である。 $SiO_2$ 、 $Si_3N_4$ 、ノンドープポリシリコン等、あ

以上で、内部で光励起されたキャリアを増幅する機能を備えた光電変換装置について述べた。これまでは、もっぱら光励起キャリアを単結晶内に生成する構造のものについて説明してきたが、単結晶内に設けられた読み出しトランジスタの表面上に、受光専用のトランジスタをアモルファス層で構成することもできる。以下、その構造について述べる。

第27図は、その代表的な例であり、(a)は略々単結晶内に設けられた読み出しトランジスタの平面図、(b)はそのA-A'線に沿う断面、(c)はこうしたセルがアレイ状に設けられた状態における回路図である。第27図(a)の平面図は基本的には第1図(a)に示された平面図と同じものである。ただ、その上に積まれるアモルファス層内に受光用に設けられるトランジスタのコレクタとなるべき $p^+$ ポリシリコン領域401が設けられていることが異なっている。 $p^+$ ポリシリコン領域401は、コンタクトホール410を通して、読み出し用トランジスタの $p$ ベース領域と接触している。

あるいはこれらの複合層で形成する。406は、アモルファスシリコン上に設けられた薄い酸化膜である。408はPSG膜あるいはCVD  $SiO_2$ 膜である。409は、 $p^+$ エミッタ領域404の電極であり、同時に $SnO_2$ 、 $In_2O_3$ 、 $InTiO$ (ITO)等の透明電極であり、全表面を覆う構造でよい。8や10は、これまでALを主体とした金属であるとされたが、第27図の実施例では、その上にアモルファスシリコンを積み、更に、 $n$ 領域403、 $p^+$ 領域404を形成するので、ある程度の高温プロセスに耐える配線材料でなければならない。通常は、Mo、W等の高融点金属あるいは、 $MoSi_2$ 、 $WSi_2$ 、 $TiSi_2$ あるいは $TaSi_2$ 等の高温に耐える材料が選ばれる。電極407は、ALもしくはALを主体とした金属でよい。簡単のために、407はこのMOSキャパシタを駆動するための配線の番号でもあるとする。

第27図(a)(b)で示される構造の光電変換装置の回路構成図は、第27図(c)となる。本発明の光電変換装置の動作を次に説明する。基本的にはすでに説明してきたことで十分記述されている

ので、簡略に説明する。

まず、リフレッシュ動作について説明する。配線407を通して、MOSキャパシタ407に負のバースを印加する。 $p^+(404)n(403)$ 接点は、この負バース印加により順方向にバイアスされ、 $n$ 領域403に過剰に蓄積されていた電子は流出し、さらに所定の電圧(正電圧)まで充電される。この時、同時に $p^+$ 領域404からホールが流出し、 $p^+$ 領域401に流れ込み、結果として、 $p$ -ベース6にホールがたまると。次に配線10に正のバースを印加し、 $p$ -ベース領域6を所定の負電圧に設定する。この状態のあと、この光センサーセルは、光励起キャリアの蓄積動作に入る。アモルファス領域で光励起されたホールは $p^+$ 領域401に流れ込み、電子は $n$ 領域403に流れ込む。これらのキャリアが光信号として蓄積される。次に読み出し動作に入るわけであるが、まず配線407に負の電圧を印加し、 $p^+(404)n(403)$ 接点をたとえば、0.5~0.65V順方向にバイアスする。こうすることにより1 $\mu$ sec~0.1 $\mu$ sec程度のバース幅で、十分

光信号により励起された $n$ 領域403に蓄積された電子電荷に比例するホールが、404から流れ出し、 $p^+$ 領域401に流れ込む。すなわち、 $p$ -ベース領域6は光により直接励起されたホールだけではなく、光励起された電子に比例するホールが重畳して蓄積される。こうした内部増幅作用を機能させ、光信号に比例したホールを $p$ -ベース領域に蓄積した後、配線10を通してMOSキャパシタ9に正の読み出し電圧を加え、光信号に比例した電圧信号を、垂直ライン8に読み出すわけである。こうした動作についての説明はすでに十分行なつた。読み出される電圧が大きいので、増幅器はきわめて簡略に構成できることから、分割読み出しが容易に行えるという事情はすでに説明した通りである。12、409は同一正電圧を与えればよいし、場合によっては、異なつた正電圧でもよい。

第27図では、読み出しトランジスタの $p$ -ベース6及び受光トランジスタの $n$ -ベース領域、 $n$ 領域403のいずれもが、浮遊状態になされたものである。すでに、説明したように、リフレッシュをより完全に行うために、 $p$ -ベース6を主電

極とするMOSトランジスタを設ける構造、 $n$ -ベース403を主電極とするMOSトランジスタを設ける構造、あるいはこの両者を同時に設ける構造のいずれもが、こうした読み出し用トランジスタと分離用トランジスタを分離した構造に適用できることはいうまでもない。その例を第28図、第29図、第30図に示す。第28図は、読み出し用トランジスタの $p$ -ベース領域のリフレッシュ用に $p$ MOSトランジスタ(図ではセル内の一番左に書かれている)が設けられた例であり、このトランジスタの一方の主電極は所定の負電圧に設定されている。リフレッシュ用 $p$ MOSトランジスタのゲートには負の電圧が印加されて動作するから、水平ライン10で共通にドライブできる。

第29図は、受光用トランジスタの $n$ -ベース403を、主電極とする $n$ MOSトランジスタを設けてリフレッシュをする構造である。 $n$ MOSトランジスタのリフレッシュには、そのゲートに正のバース電圧を印加して行うから、そのゲートの駆動は水平ライン407で共通に行える。

$n$ MOSトランジスタの一方の主電極は、所定の正電圧(409の正電圧より大)に設定される。

第30図は、 $p$ -ベース6及び $n$ -ベース403にそれぞれリフレッシュ用MOSトランジスタが設けられた例である。これらの動作はすでに説明した通りである。

受光用にアモルファスのトランジスタを使つたこの例は、実効的な受光面積を大きくできること、及びアモルファスのバンドギャップが、1.7~1.8 eVと大きいので、短波長側の受光感度が高くなるという利点を有している。

内部に細込まれる配線はすでに述べたような高融点金属あるいは高融点金属のシリサイドである。その上に、PBG膜、CVD SiO<sub>2</sub>膜あるいはスパッタSiO<sub>2</sub>膜を設ける。絶縁膜を平坦化するのであれば、最後にスパッタSiO<sub>2</sub>を設け、同一チャンベ内で、電極間の電圧(直流バイアス)を変化させ、サンプル上のSiO<sub>2</sub>がスパッタされるモードに切り換えることによつて行える。その後、コンタクトホール410を開けた後、 $p$ -ポリシリコ

ンをCVDにより堆積し、パターンニングを行なった後、高抵抗アモルファスシリコンを所定の厚さ(2~7 $\mu$ m)程度堆積する。アモルファスシリコンの堆積は、超高真空中における低圧蒸着、たとえばAr雰囲気によるスパッタ、SiH<sub>4</sub>あるいはSi<sub>2</sub>H<sub>6</sub>を用いたCVD(プラズマCVDも含む)等によればよい。有機金属ソースガスを用いたMOCVDも、一つの方法である。絶縁分離領域405形成後、nベース403、p<sup>+</sup>エミッタ404を拡散技術、イオン注入技術等で作成すればよいわけである。

#### 4 図面の簡単な説明

第1図から第6図までは、本発明の一実施例に係る光センサセルの主要構造及び基本動作を説明するための図である。第1図(a)は平面図、(b)は断面図、(c)は等価回路図であり、第2図は読出し動作時の等価回路図、第3図は読出し時間と読出し電圧との関係を示すグラフ、第4図(a)は読出し電圧と読出し時間との関係を示すグラフ、第4図(b)はバイアス電圧と読出し時間との関係を示すグラフ、第5図はリフレッシュ動作時の等価回路図、第6図(a)~(c)はリフレッシュ時間とベース電位との関係を示すグラフである。第7図から第10図までは、第1図に示す光センサセルを用いた光電変換装置の説明図であり、第7図は回路図、第8図(a)はパルスタイミング図、第8図(b)は各動作時の電位分布を示すグラフである。第9図は出力信号に関する等価回路図、第10図は導通した瞬間からの出力電圧を時間との関係で示すグラフである。第11、12及び13図は他の光電変換装置を示す回路図である。第1

4図は本発明の実施例に係る他の光センサセルの主要構造を説明するための平面図である。第15図は、第14図に示す光センサセルを用いた光電変換装置の回路図である。第16図及び17図は本発明の光電変換装置の一製造方法例を示すための断面図である。第18図は本発明の一実施例を示し、(a)は断面図、(b)はその等価回路図(c)は回路構成図、図は(d)はポテンシャル状態図であり、第19図は第18図に示した光センサセルを用いた回路構成図である。第20図と23図はパルス波形図、第21図は他の実施例を示し、第22図は回路構成図である。第24図は他の実施例を示す等価回路図、第25図はその回路構成図、第26図はパルス波形図である。第27図から第30図までは本発明の実施例に係る。

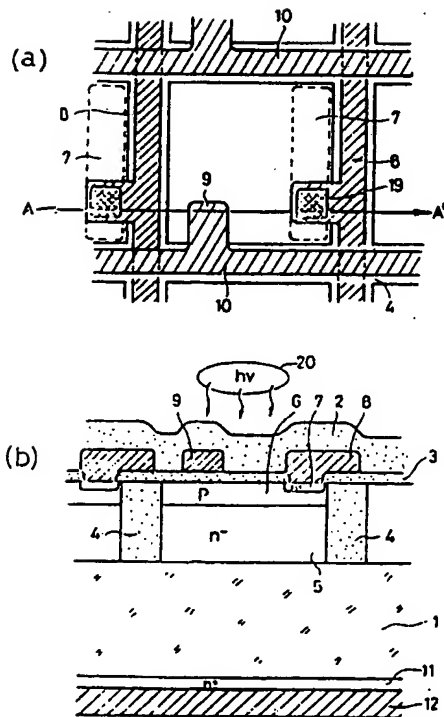
1…シリコン基板、2…PSG膜、3…絶縁酸化膜、4…電子分離領域、5…n<sup>+</sup>領域(コレクタ領域)、6…p領域(ベース領域)、7、7'…n<sup>+</sup>領域(エミッタ領域)、8…配線、9…電極

、10…配線、11…n<sup>+</sup>領域、12…電極、13…コンデンサ、14…バイポーラトランジスタ、15、17…接合容量、16、18…ダイオード、19、19'…コンタクト部、20…光、20…垂直ライン、30…光センサセル、31…水平ライン、32…垂直シフトレジスタ、33、35…MOSTランジスタ、36、37…端子、38…垂直ライン、39…水平シフトレジスタ、40…MOSTランジスタ、41…出力ライン、42…MOSTランジスタ、43…端子、44…トランジスタ、44、45…負荷抵抗、46…端子、47…端子、48…MOSTランジスタ、49…端子、61、62、63…区間、64…コレクタ電位、67…波形、80、81…容量、82、83…抵抗、84…電流源、100、101、102…水平シフトレジスタ、111、112…出力ライン、130…垂直ライン、140…MOSTランジスタ、148…MOSTランジスタ、150、150'…MOSTコンデンサ、152、152'…光センサセル、

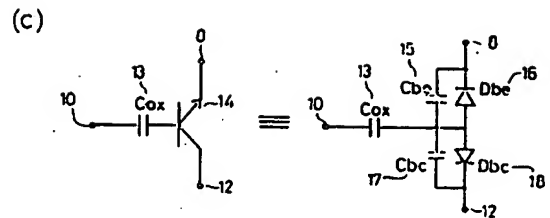


202, 203, 205...ベース電位, 220...  
 p<sup>+</sup>領域, 222, 225...配線, 251...p<sup>+</sup>  
 領域, 252 n<sup>+</sup>領域, 253...配線, 300...  
 アモルファスシリコン, 302...酸化膜, 303  
 ...PSG膜, 304...ポリシリコン, 305...P  
 SG膜, 306...層間絶縁膜, 372...第1フォ  
 トトランジスタ, 372...フォトトランジス  
 タ。

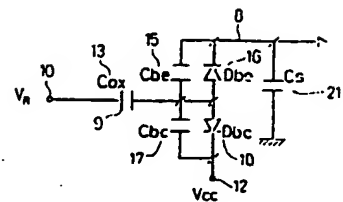
第1図



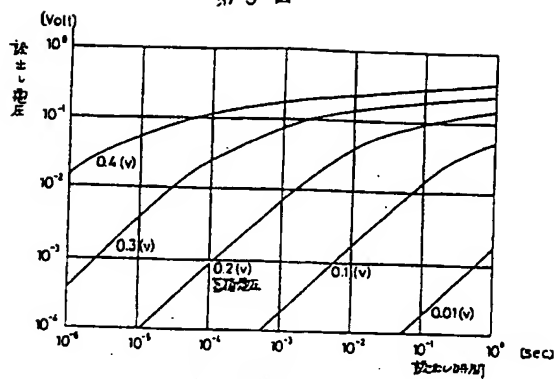
第1図



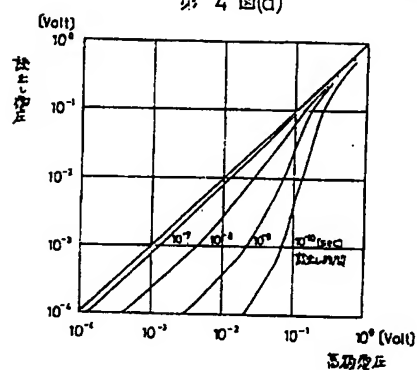
第2図



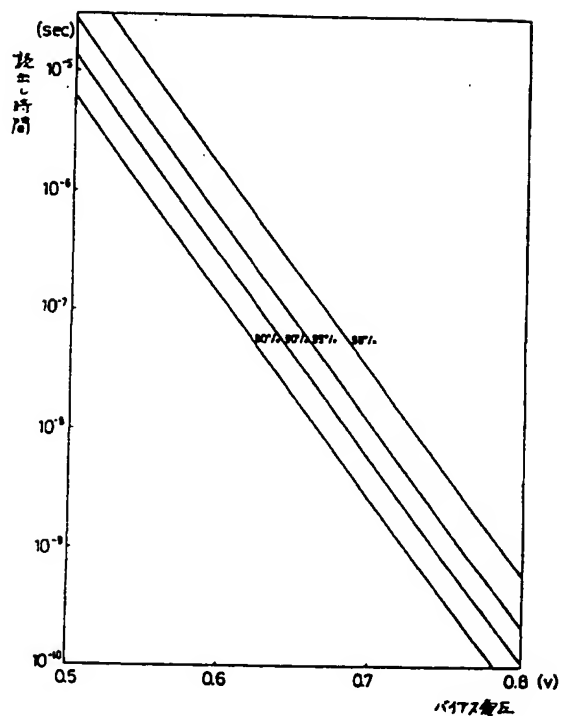
第 3 圖



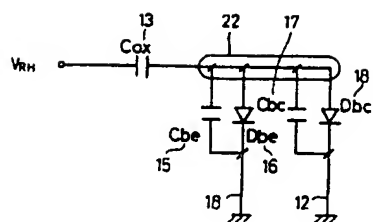
第 4 圖(a)



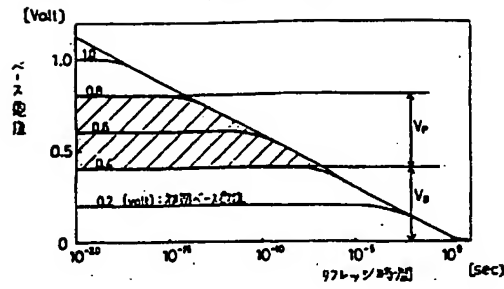
第 4 圖 (b)



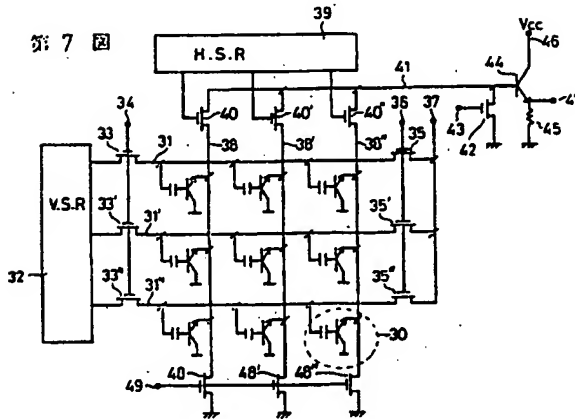
第 5 圖



第 6 図 (a)



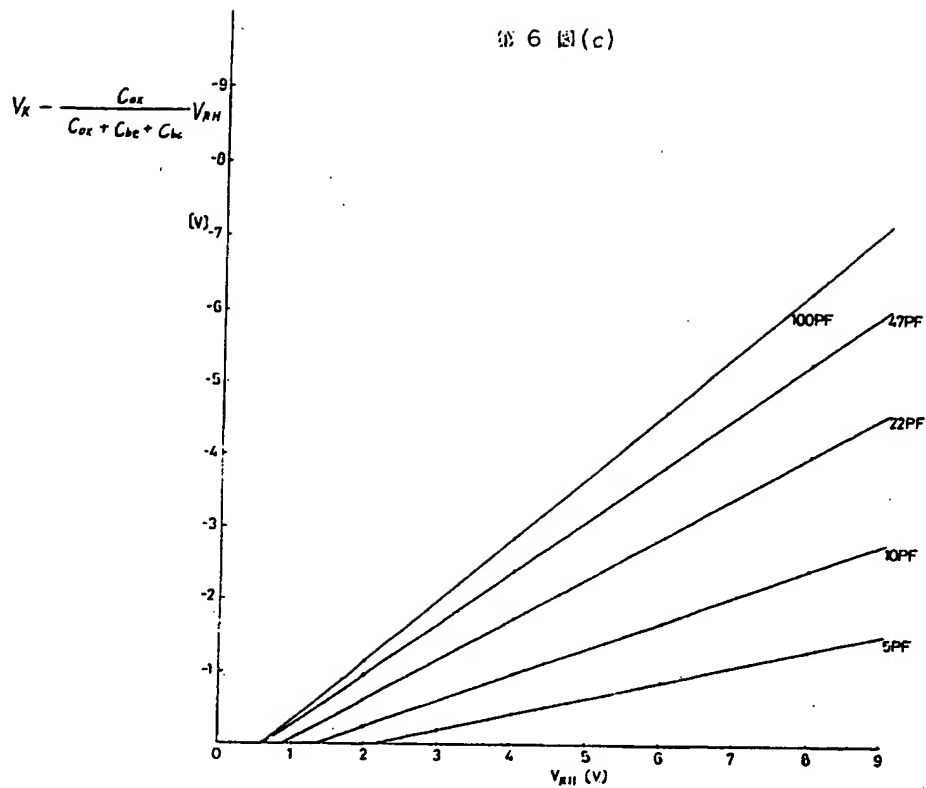
第 7 図



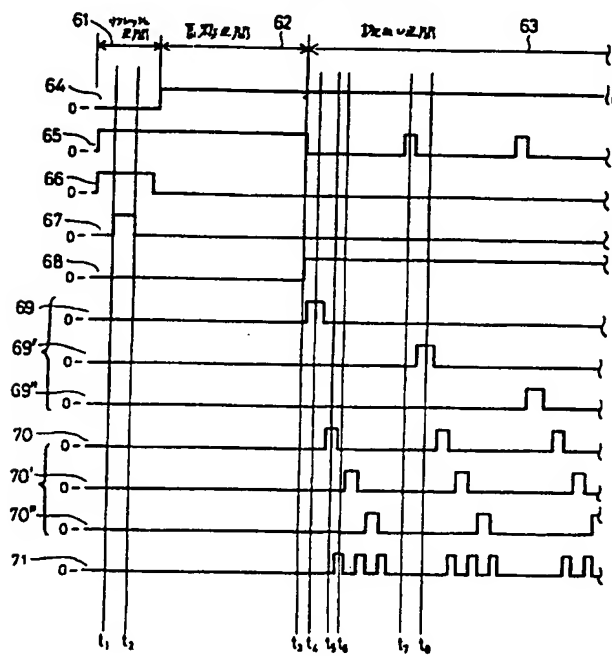
第 6 図 (b)



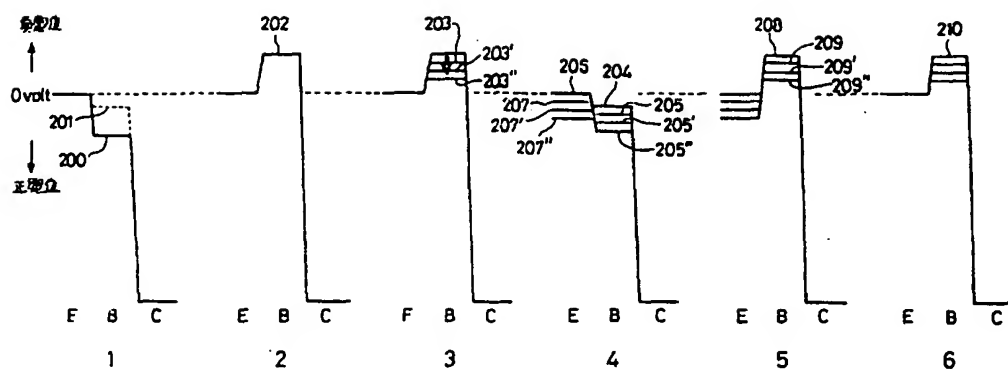
第 6 圖 (c)



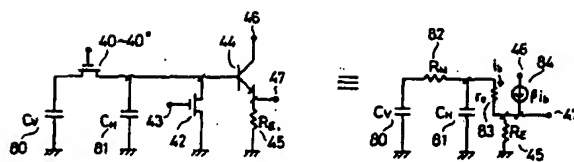
第 8 圖 (a)



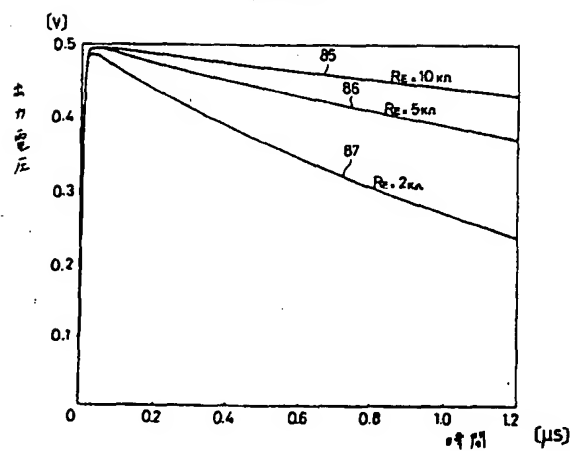
第 8 圖 (b)



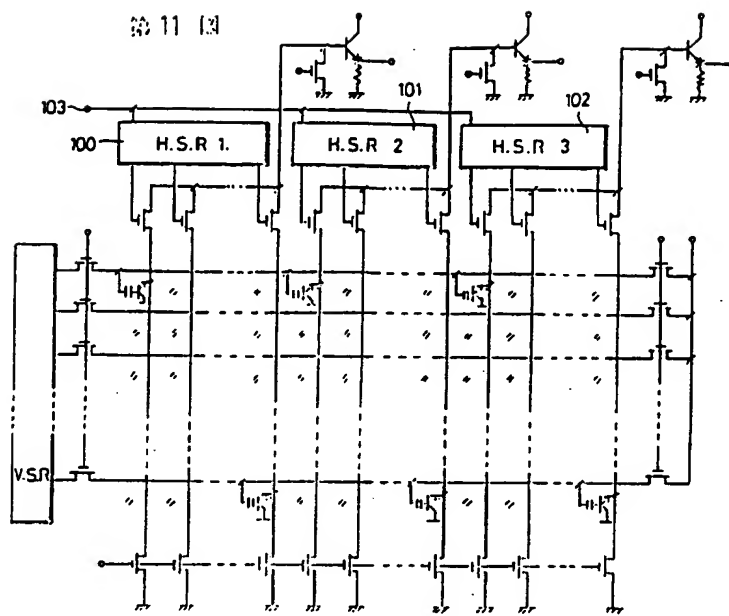
第 9 圖



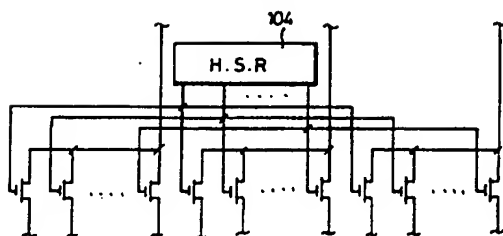
第 10 圖



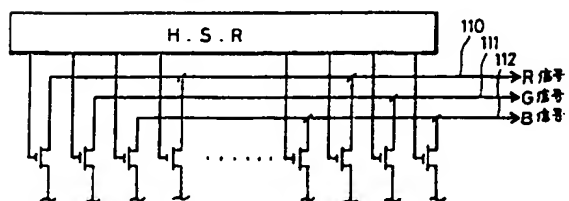
第 11 図



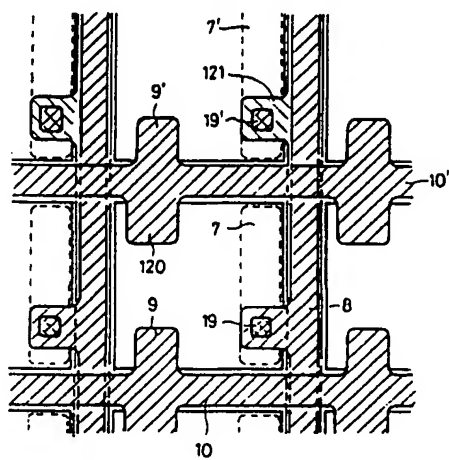
第 12 図



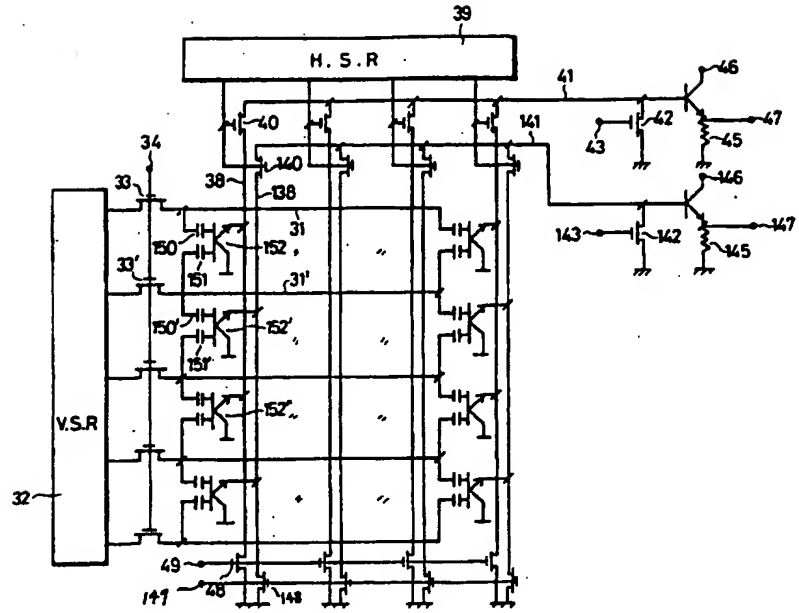
第 13 図



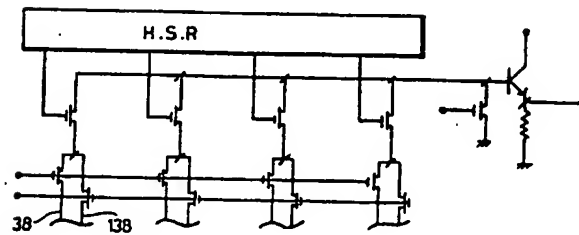
第 14 図



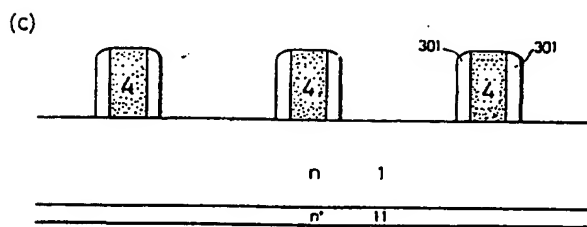
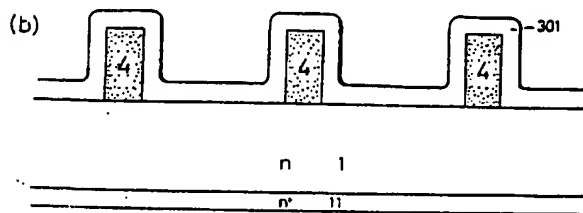
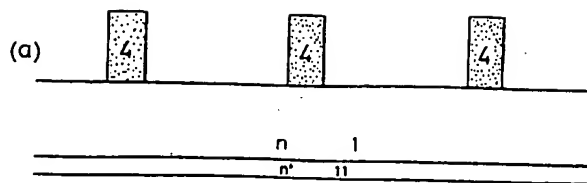
第15圖(a)



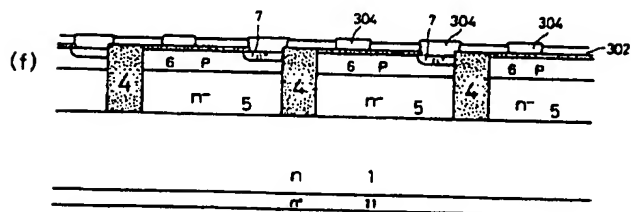
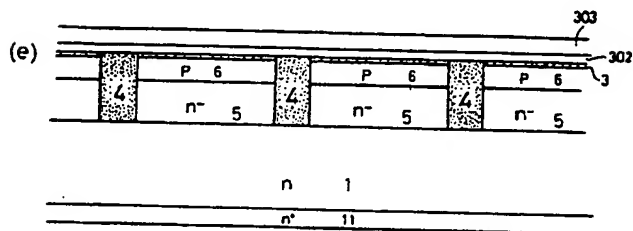
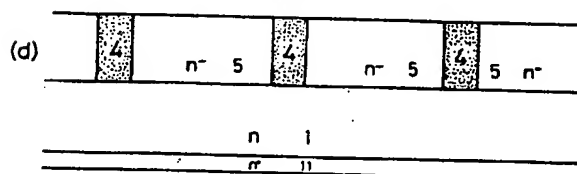
第15圖(b)



第 16 图

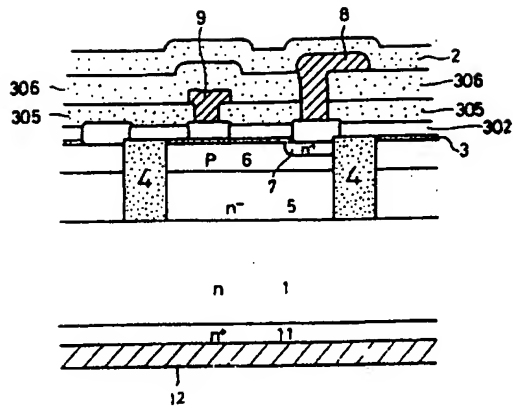


第 16 图

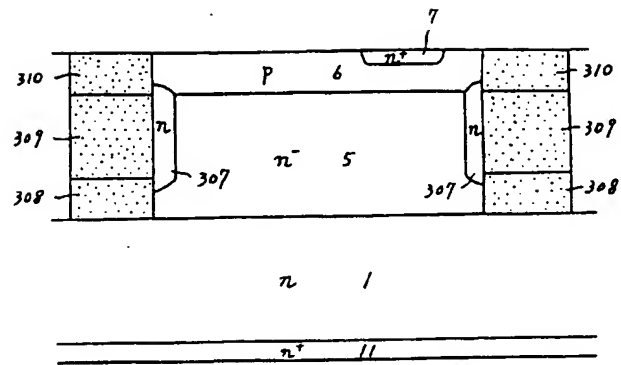




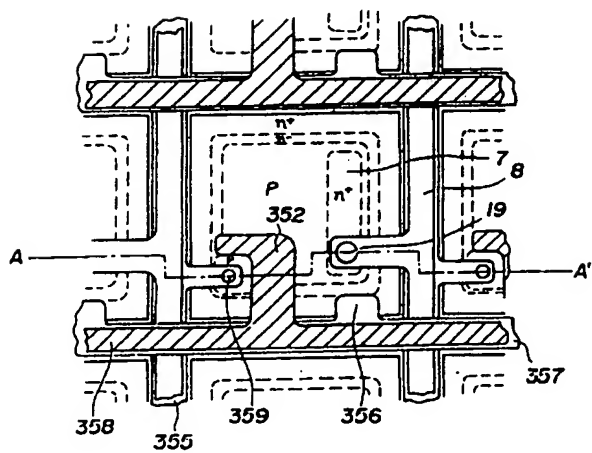
第16図 (g)



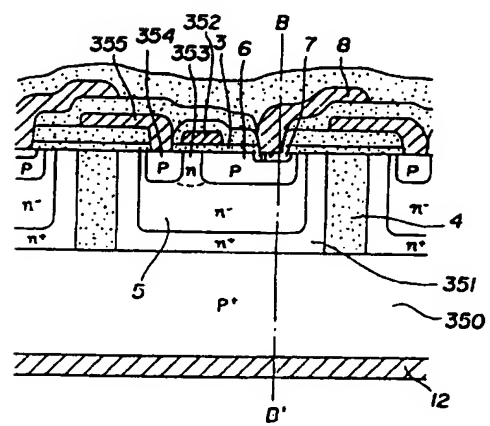
第17図



第18図  
(a)

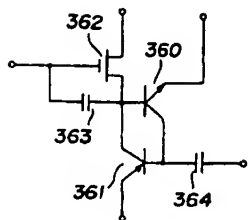


第18図  
(b)



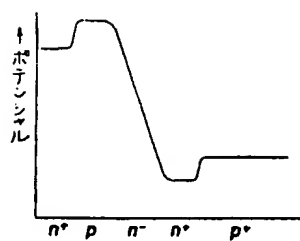
第 18 図

(c)

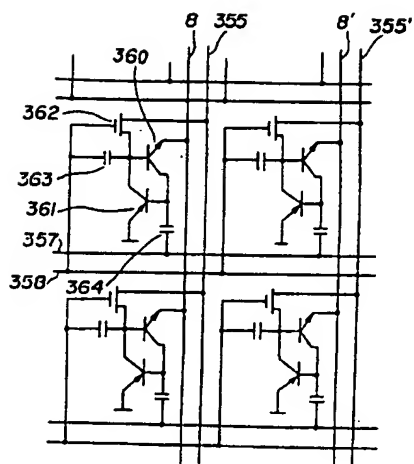


第 18 図

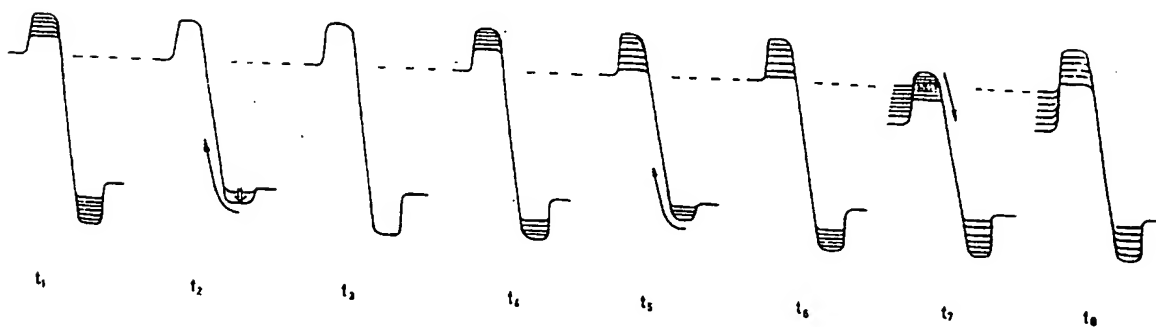
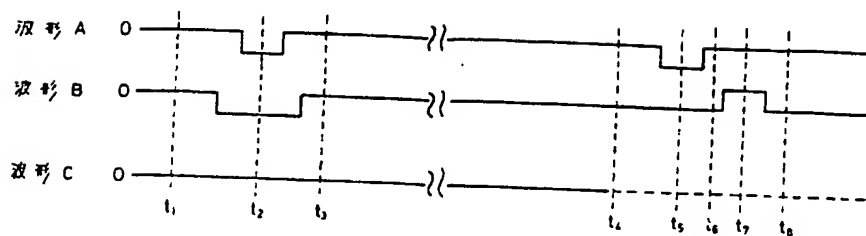
(d)



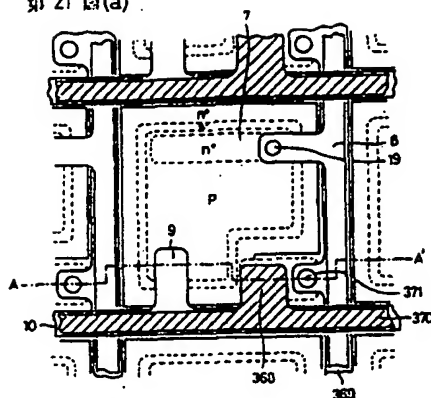
第 19 図



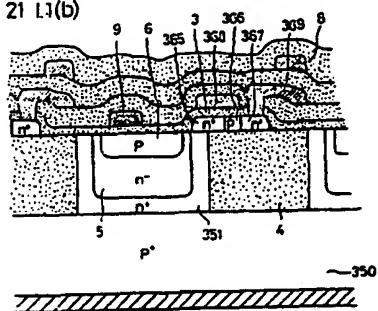
第 20 図



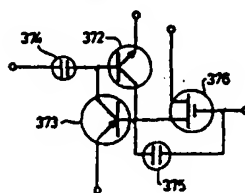
第 21 圖(a)



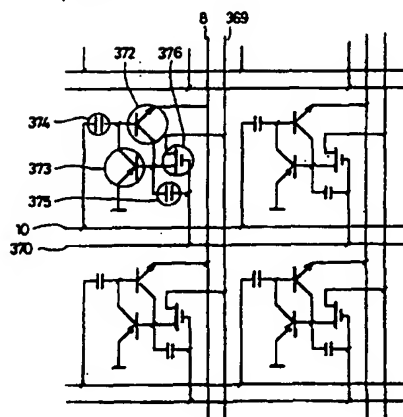
第 21 圖(b)



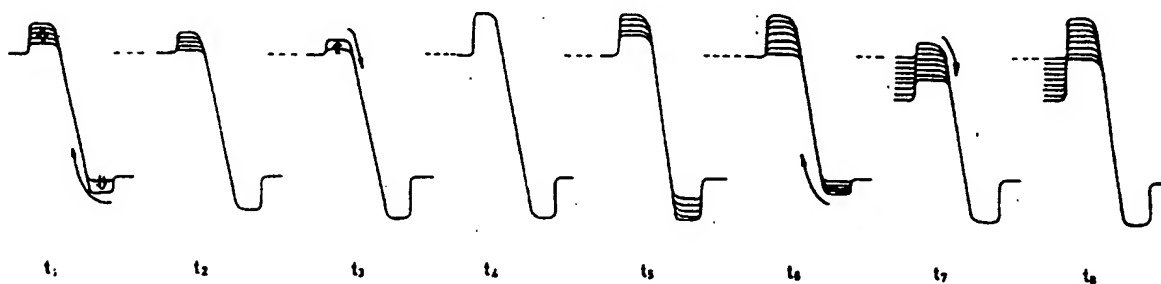
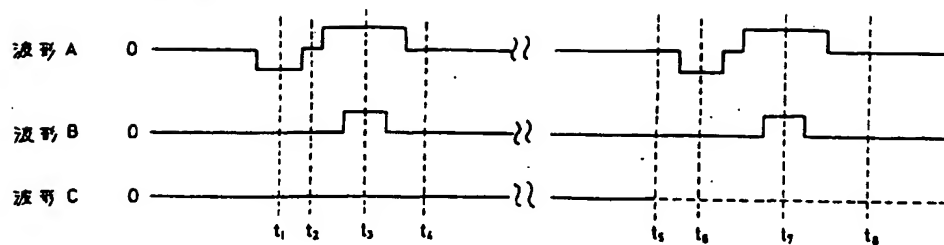
第 21 圖(c)



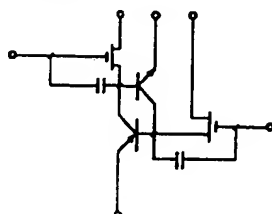
第 22 圖



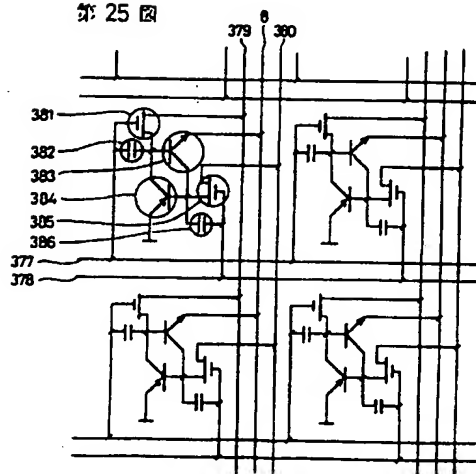
第 23 圖



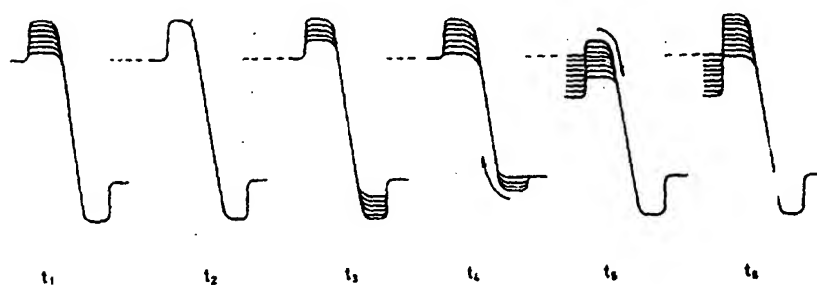
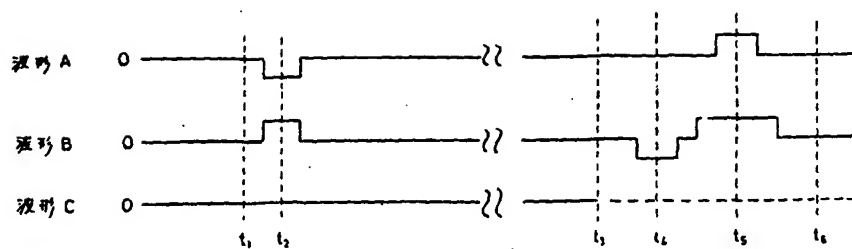
第 24 圖



第 25 圖



第 26 圖

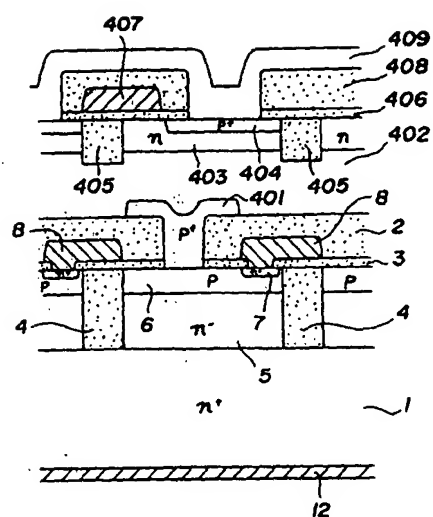
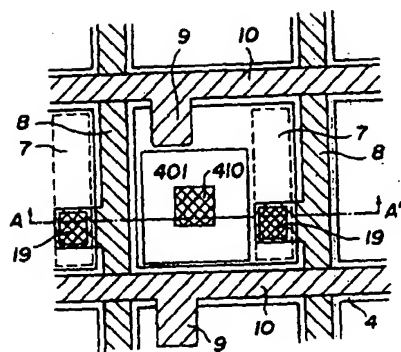


第 27 圖

(b)

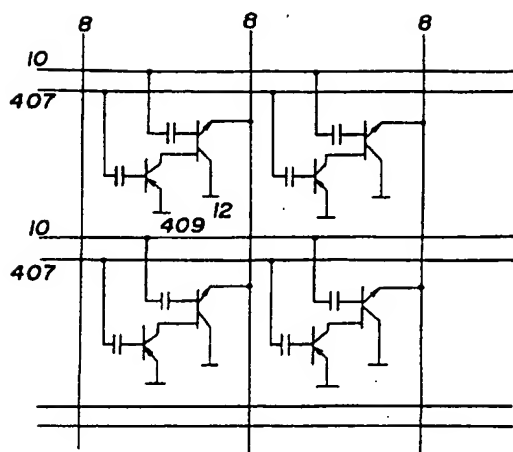
第 27 圖

(a)

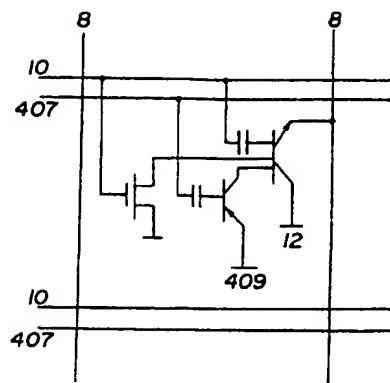


第 27 図

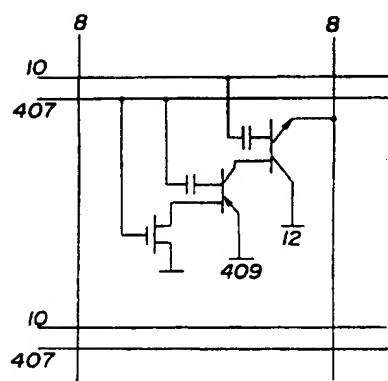
(c)



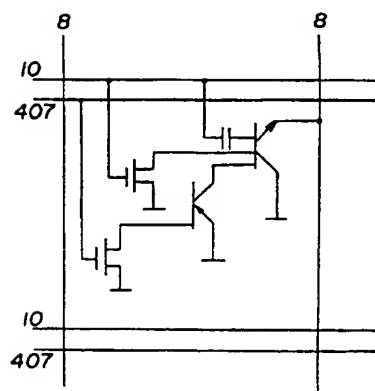
第 28 図



第 29 図



第 30 図



手続料金 15,000円

昭和59年 5月23日

特許庁長官 若 杉 和 夫 殿

## 1. 事件の表示

特願昭58-120757号

## 2. 発明の名称

光電変換装置

## 3. 補正をする者

事件との関係 特許出願人

氏名 大 見 忠 弘

## 4. 代理人

住所 東京都港区虎ノ門五丁目13番1号虎ノ門40ビル

氏名 (6538) 弁護士 山下 稔

## 5. 補正の対象

明細書の発明の詳細な説明の欄

方式  
審査

## 6. 補正の内容

- (1) 明細書第19頁第12行の「 $10 \text{ cm}^{-12}$ 」を  
「 $10^{12} \text{ cm}^{-12}$ 」と補正する。

- (2) 明細書第22頁第8行の

$$-V_g + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V = 0$$

を

$$-V_g + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_g = 0$$

と補正する。

- (3) 明細書第34頁第14行の「 $10 \text{ [sec]}$ 」を

「 $10^{-9} \text{ [sec]}$ 」と補正する。

- (4) 明細書第36頁下から1行目の「電圧V を」を

「電圧 $V_A$  を」と補正する。

- (5) 明細書第41頁下から5行目～4行目の「パッファMOS  
トランジスタ33, 33', 33''」を削除する。

- (6) 明細書第45頁下から2行目の「はクリップ」を  
「クリップ」と補正する。

- (7) 明細書第53頁第8行の「本質的に」の前に「と」を挿入する。

- (8) 明細書第53頁下から7行目の「途中」の後に「に」を挿入する。

- (8) 明細書第64頁第1行の「エミッタ7. は」を  
「エミッタ7, 7' は」と補正する。

- (10) 明細書第64頁第8行の  
「エミッタ はコンタクトホール1 を」を「エミッタ7'  
はコンタクトホール19' を」と補正する。

- (11) 明細書第64頁下から8行目の「水平ライン3 に」を  
「水平ライン31' に」と補正する。

- (12) 明細書第64頁下から6行目の「セル15 の」を  
「セル152' の」と補正する。

- (13) 明細書第64頁下から6行目の  
「MOS キャパシタ15 は」を「MOS キャパシタ150'  
は」と補正する。

- (14) 明細書第64頁下から5行目の「水平ライン3 に」を  
「水平ライン31' に」と補正する。

- (15) 明細書第64頁下から3行目の「光センサセル15 の」を  
「光センサセル152' の」と補正する。

- (16) 明細書第64頁下から2行目の「光センサセル15 の」を  
「光センサセル152' の」と補正する。

- (17) 明細書第68頁第8行～7行および第12行の「水平ライン  
3 に」を「水平ライン31' に」と補正する。

- (18) 明細書第68頁第12行～13行の  
「MOS キャパシタ15 を通して光センサセル15 の」  
を「MOS キャパシタ150' を通して光センサセル152'  
の」と補正する。

- (19) 明細書第68頁下から2行目および1行目と、第67頁第8  
行目の「光センサセル」を「光センサセル」に補正する。

- (20) 明細書第68頁下から5行目の「コレクター」を  
「コレクタ」と補正する。

- (21) 明細書第68頁下から4行目および下から3行目の「n 埋  
込領域」を「n+ 埋込領域」と補正する。

- (22) 明細書第77頁第7行の「(c).」を「(c)。」と補  
正する。

- (23) 明細書第78頁第1行の

$$C_{be} = A e e^{-\left(\frac{q \cdot N}{2 \epsilon V_{bi}}\right)}$$

$$C_{be} = A e e^{-\left(\frac{q \cdot N_A}{2 \epsilon V_{bi}}\right)}$$

と補正する。

(24) 明細書第78頁第4行の

$$\begin{aligned} & \left[ V_{bi} = \frac{k T}{q} \ln \frac{N}{n_i^2} \right] \text{を} \\ & \left[ V_{bi} = \frac{k T}{q} \ln \frac{N_D N_A}{n_i^2} \right] \end{aligned}$$

と補正する。

(25) 明細書第78頁第6行の「N はエミッタの不純物濃度、

N はベース」を「N<sub>D</sub> はエミッタの不純物濃度、N<sub>A</sub> はベース」と補正する。

(26) 明細書第78頁第8行および9行の「N」を「N<sub>A</sub>」と補正する。

(27) 明細書第88頁第10行の「SiO<sub>2</sub>、309は」を「SiO<sub>2</sub>、309は」と補正する。

(28) 明細書第91頁第12行の「本発明に」を「本発明の」と補正する。